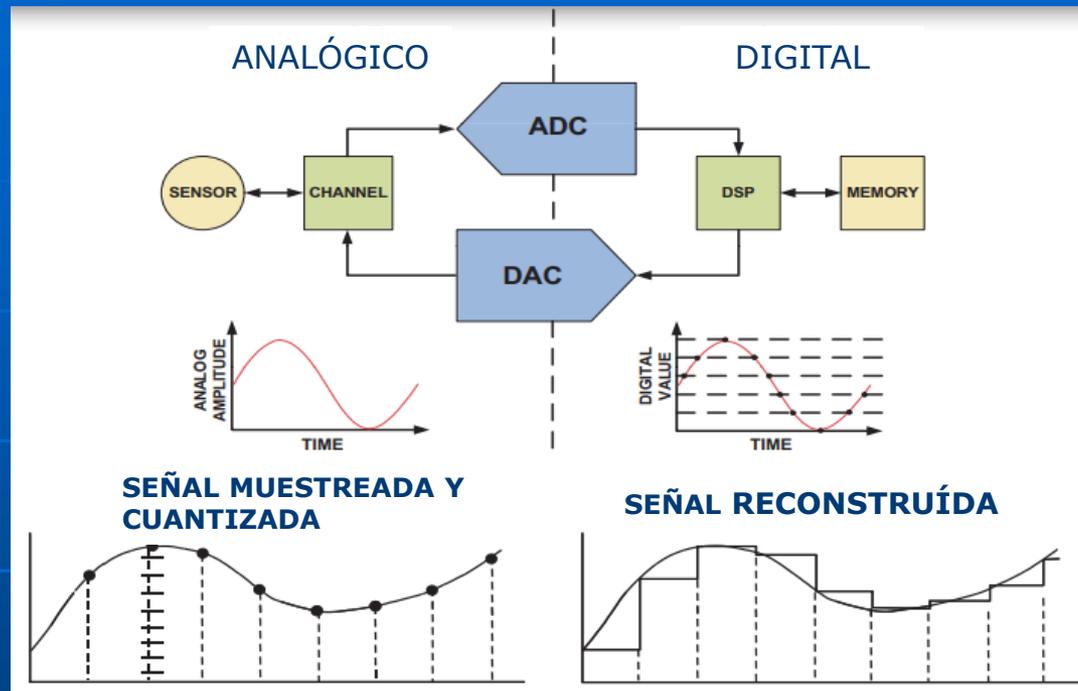


Conversores de Datos

Introducción a los Sistemas
Lógicos y Digitales
2020

Sergio Noriega

Conversores de Datos



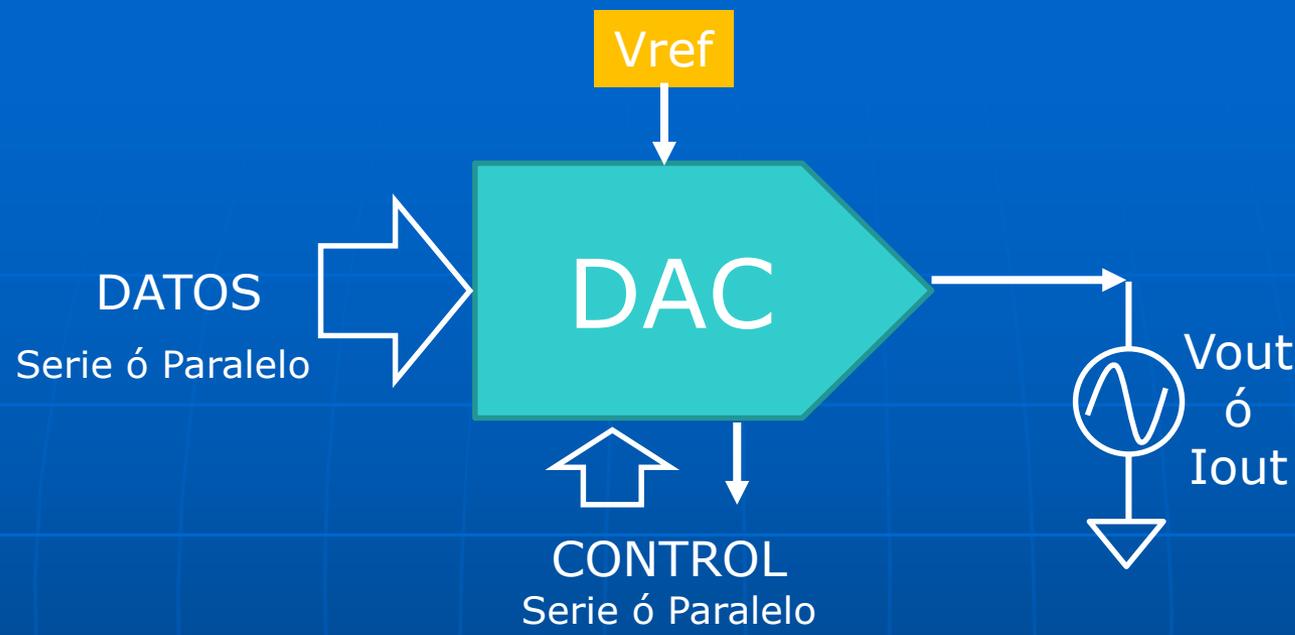
El mundo real es analógico. Se busca permanentemente el poder controlar eventos y transmitir información necesarios para la evolución humana.

En algunos casos, se requiere convertir señales de sensores, audio ó imágenes en formato digital para procesarlos o almacenarlos.

En otros, además es necesario volver a covertirlos en "analógico para por ejemplo controlar procesos donde las variables en juego son contínuas y no discretas.

Para ello se reuquire de interfaces, apareciendo en escena los Conversores Analógico-Digitales y los Digitales-Analógicos.

CONVERSORES DIGITALES-ANALÓGICOS



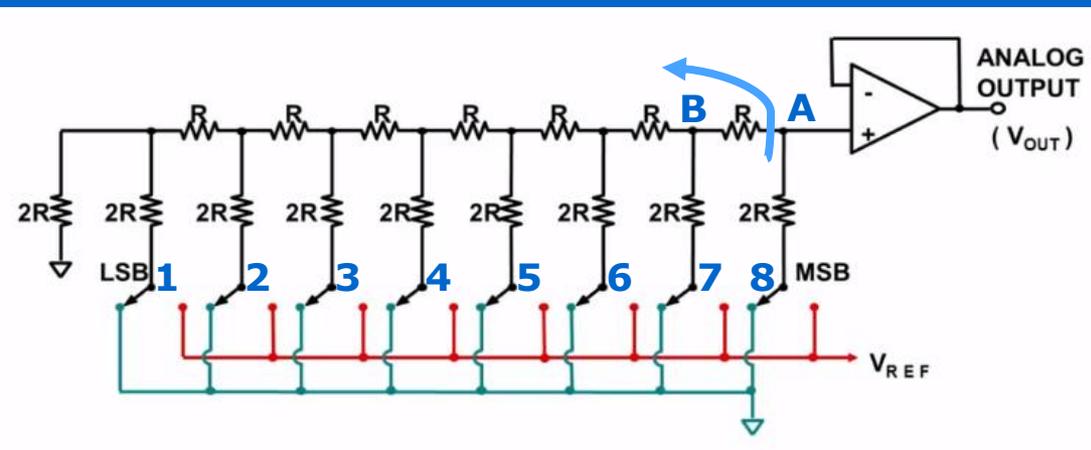
El conversor Digital-Analógico cumple la función de convertir un número binario en una señal analógica que puede ser una corriente o una tensión eléctrica.

La entrada binaria puede ser serie o paralela.

El DAC suele ser un circuito rápido debido a que generalmente consta de dos etapas: una formada por una matriz de llaves que permiten conmutar señales provenientes de una fuente de corriente o de tensión de referencia y posteriormente un amplificador operacional encargado de realizar operaciones como suma de esas señales y/o conversión de salida en corriente a tensión.

Al igual que el ADC se puede ajustar la tensión a fondo de escala empleando una referencia de tensión o de corriente que debe tener una muy buena estabilidad.

Ejemplo de 8 BITS



$$V_{out} = V_{ref} \left(\frac{\text{código}}{2^8} \right)$$

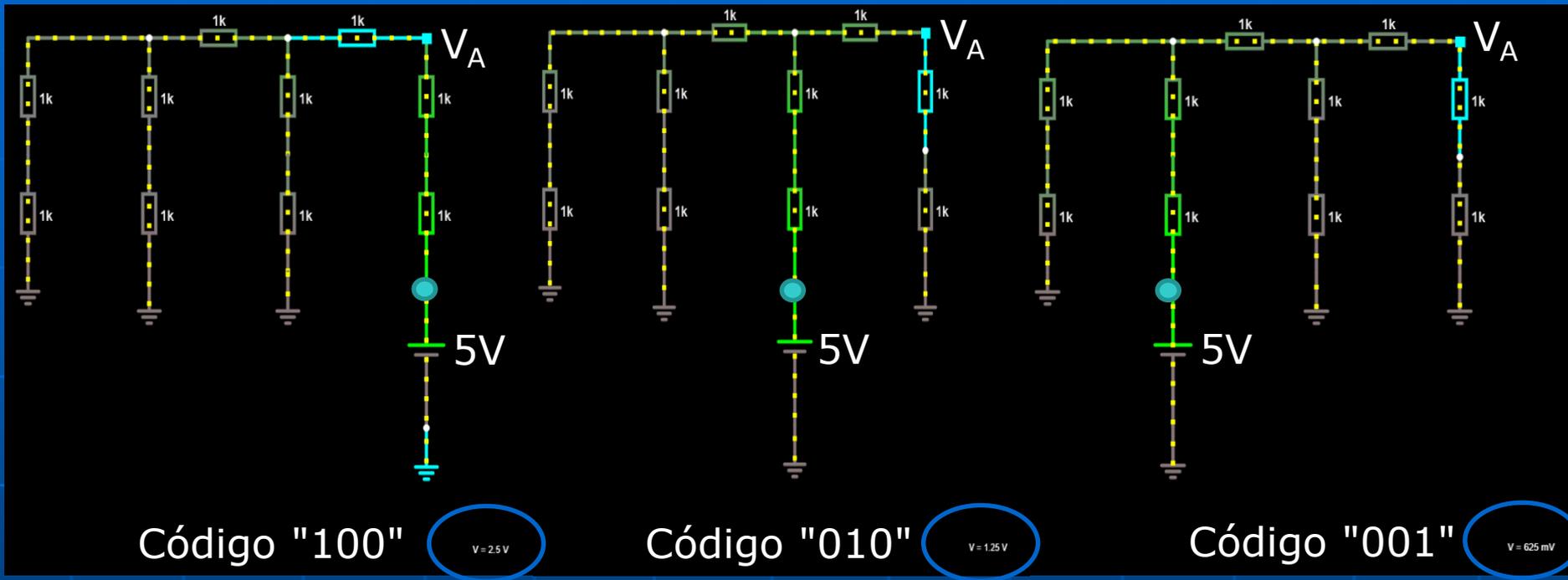
Existen otras variantes donde se utilizan generadores de corriente en vez de tensión y en otros casos redes capacitivas en vez de resistencias.

La malla ó red resistiva R-2R tiene una particularidad:
Por ejemplo si las primeras 7 llaves están conectadas a tierra, menos la "8" (MSB) (código = 1000000 = 128) y se hace el equivalente Thevenin de R de todo lo que está a la izquierda de la flecha azul en el esquema, se tiene una R equivalente de valor 2R.
Por lo tanto, la tensión en el punto A es de $V_{ref}/2$.
Si sólo "7" está a V_{ref} (las demás a tierra) (código = 01000000 = 64), la tensión será de dividiendo cada vez x2.
Como se trata de un circuito lineal se puede aplicar el principio de "superposición".

Ventajas	Desventajas
<ul style="list-style-type: none">Alta linealidadBajo ruido	<ul style="list-style-type: none">Carga variable con el código.Alto Settling TimeAlto glitch

Aplicaciones:
Instrumentación de precisión.
Automatización y control.
Equipos de Test.

EJEMPLO DE DAC DE 3 BITS:



En estas tres pantallas se muestran los resultados de una simulación para el caso de un DAC R-2R de 3 bits donde una tensión de referencia de 5 V se conecta primero al MSB, luego al siguiente y por último al LSB. Las tensiones resultantes en el nodo V_A son de:

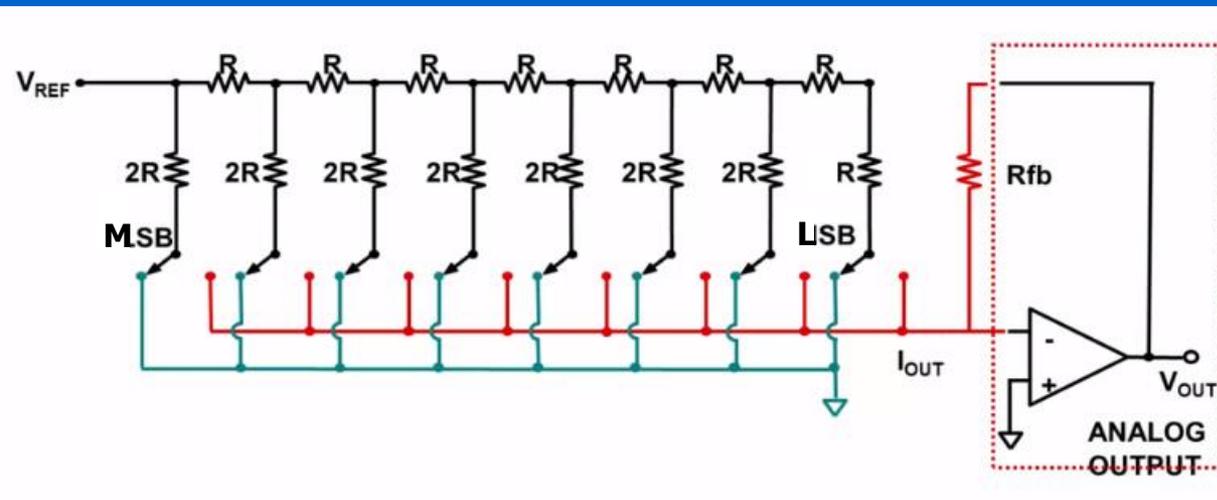
2,5 V, 1,25V y 0,625 V respectivamente.

Aplicando el principio de superposición si el código fuera "111" se tendrá:

$$V_A = 2,50V + 1,25V + 0,625V = 4,375V.$$

Ejemplo de 8 BITS

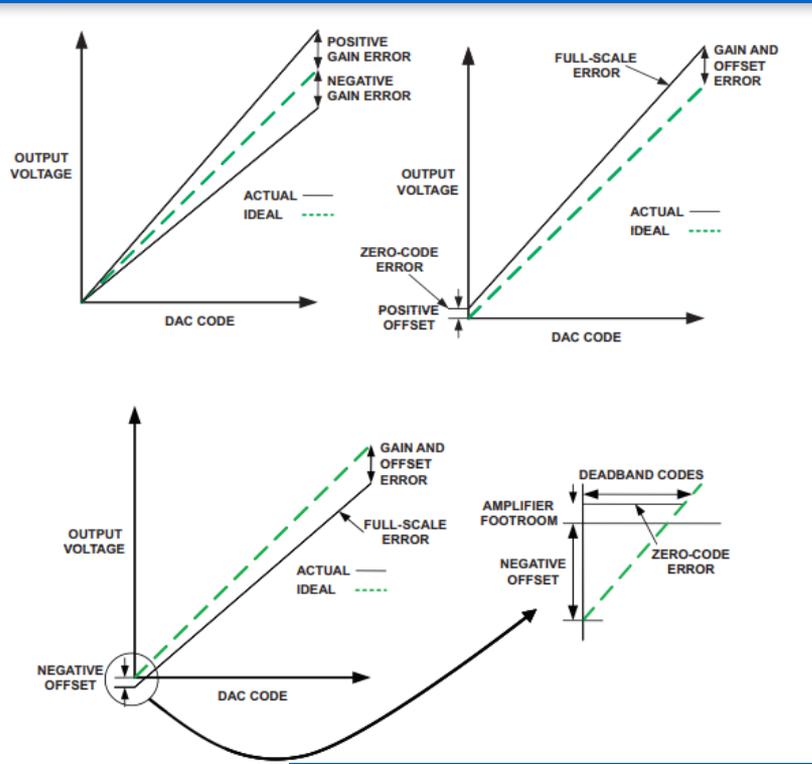
$$V_{out} = -\left(\frac{V_{ref}}{R}\right)\left(\frac{código}{2^8}\right)R_{fb}$$



Ventajas	Desventajas
<ul style="list-style-type: none"> Alta linealidad Bajo ruido Bajo glitch Carga de Vref constante 	<ul style="list-style-type: none"> Requiere Amplificador Salida invertida
<p>Aplicaciones: Generador de formas de onda. Uso en PLCs. Aplicaciones de corriente alterna.</p>	

Las llaves que se conectan a la barra de Iout contribuyen con corriente que circulará por la resistencia Rfb. Como el circuito eléctrico es lineal se puede aplicar el principio de superposición. La red resistiva R-2R.

Existen otras variantes donde se utilizan generadores de corriente en vez de tensión y en otros casos redes capacitivas en vez de resistencias.

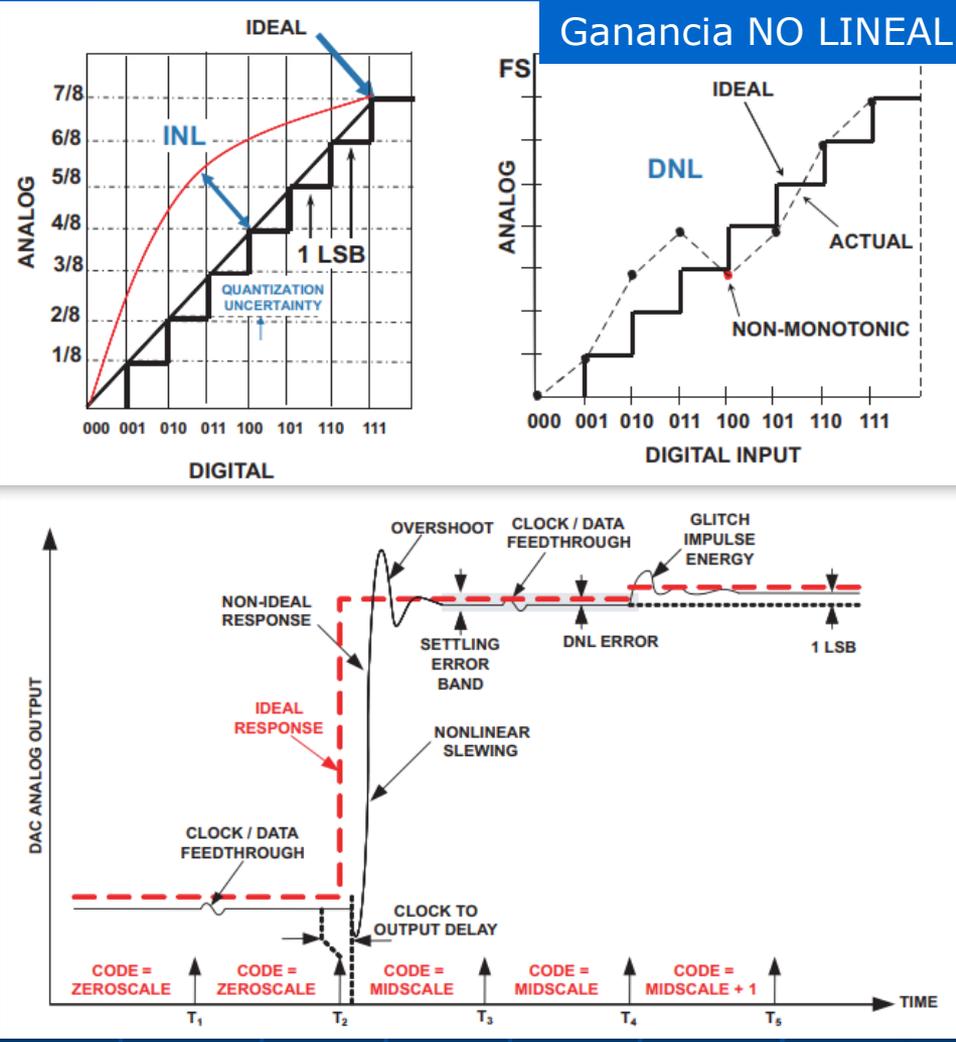


Offset y Ganancia LINEAL

Al igual que los ADC, los DACs adolecen de errores de Offset, Ganancia LINEAL y NO-LINEAL. Los dos primeros pueden, a veces, ser compensados.

Los DACs generalmente tienen asociado un amplificador operacional (AO) a su salida que tienen una respuesta al escalón con salida que típicamente incluyen oscilaciones (overshoot) y retardos en respuesta a un cambio abrupto a su entrada, generalmente definida en el parámetro slew rate que indica cuantos mV por segundo puede responder un AO a un flanco de subida abrupto. También los DAC suelen tener llaves que manejan tensión ó corriente que suelen generar picos de señal por conmutación de las mismas como "spikes" y "glitches".

Ganancia NO LINEAL





Dual 8-/10-/12-Bit, High Bandwidth, Multiplying DACs with Parallel Interface

AD5428/AD5440/AD5447

En este ejemplo se tiene un DAC doble de 8,10 ó 12 bits según el modelo.

Entrada paralelo y tecnología R-2R.

La salida es en corriente y requiere un AO para convertirla en tensión.

FEATURES

- 10 MHz multiplying bandwidth
- INL of ± 0.25 LSB at 8 bits
- 20-lead and 24-lead TSSOP packages
- 2.5 V to 5.5 V supply operation
- ± 10 V reference input
- 21.3 MSPS update rate
- Extended temperature range: -40°C to $+125^{\circ}\text{C}$
- 4-quadrant multiplication

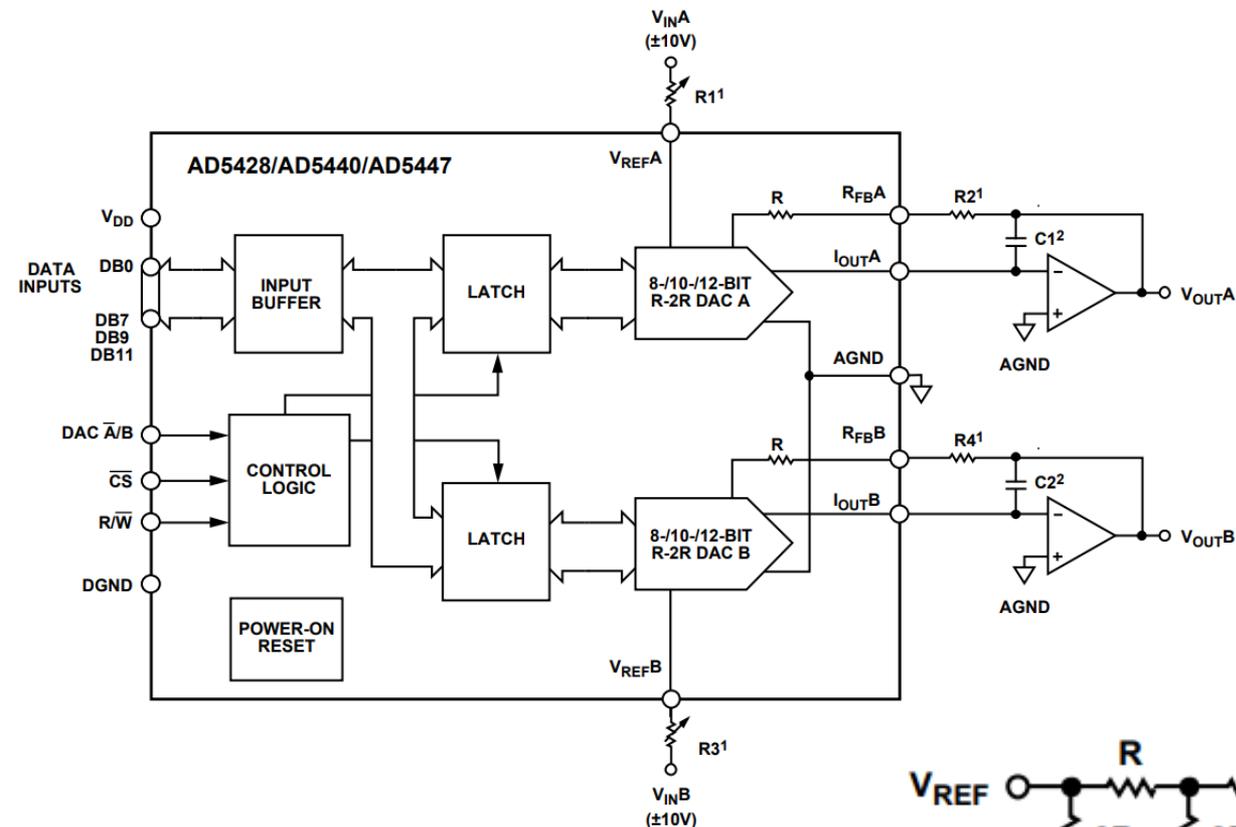
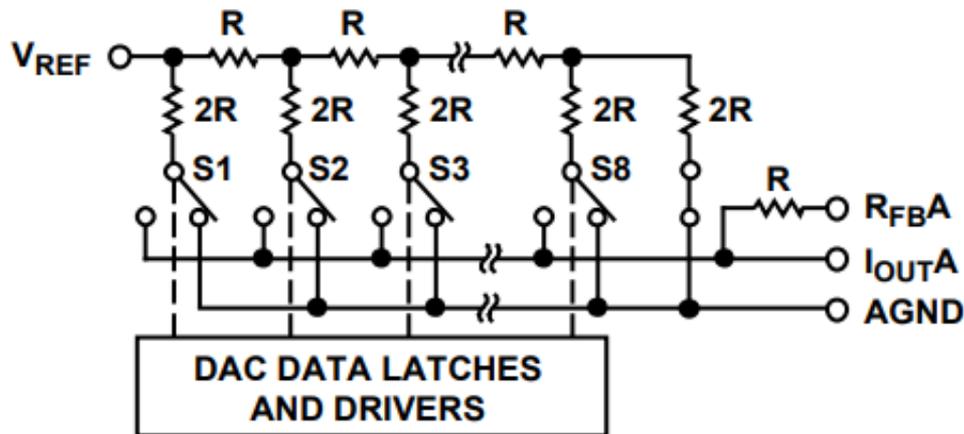


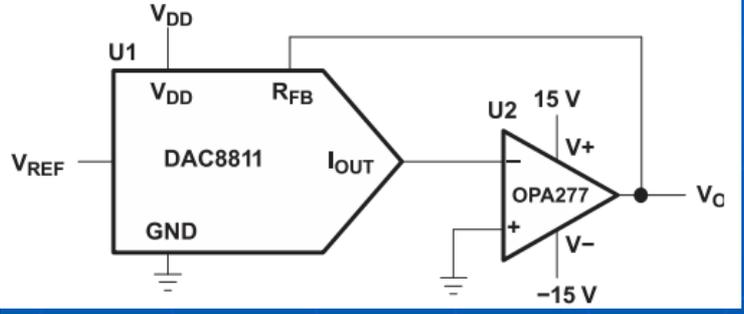
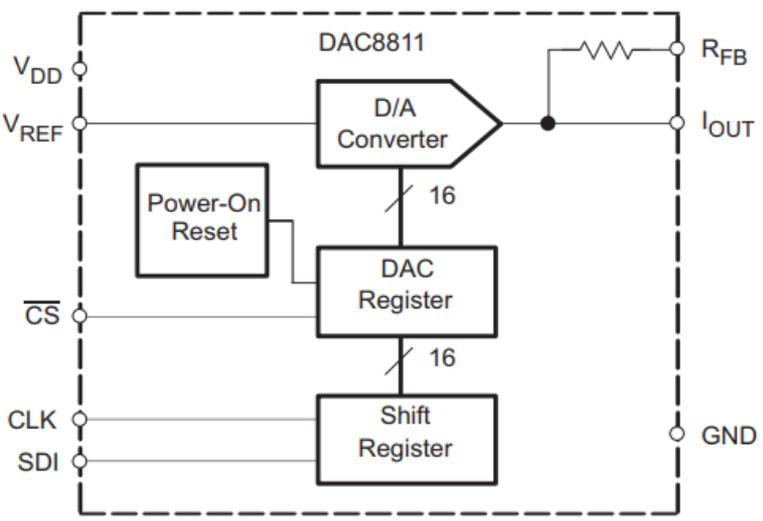
Table 7. Unipolar Code

Digital Input	Analog Output (V)
1111 1111	$-V_{REF}$ (255/256)
1000 0000	$-V_{REF}(128/256) = -V_{REF}/2$
0000 0001	$-V_{REF}$ (1/256)
0000 0000	$-V_{REF}$ (0/256) = 0



DAC8811 16-Bit, Serial Input Multiplying Digital-to-Analog Converter

Simplified Schematic

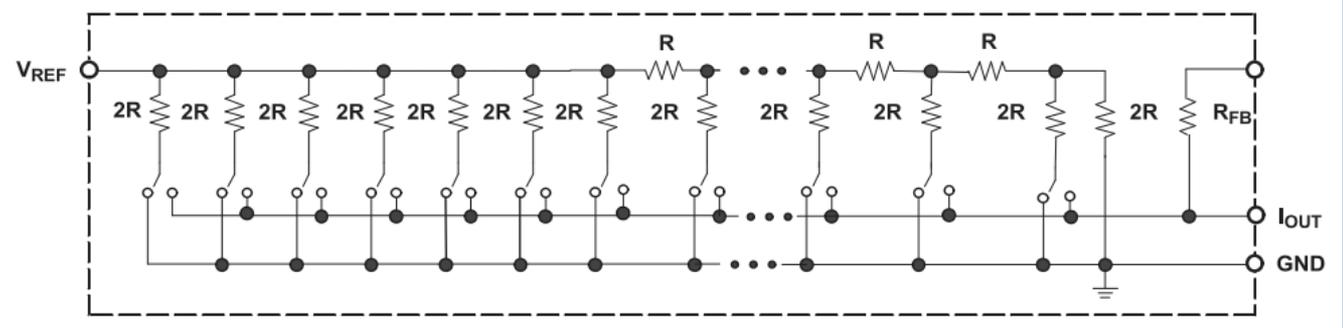


Este M-DAC (multiplicativo) tiene una interface serie para entrada de datos binarios según la norma SDI. Una vez convertida la información en paralelo se procede a cargarla al DAC propiamente dicho. La salida es en corriente por lo que se puede emplear un AO para convertirla a tensión.

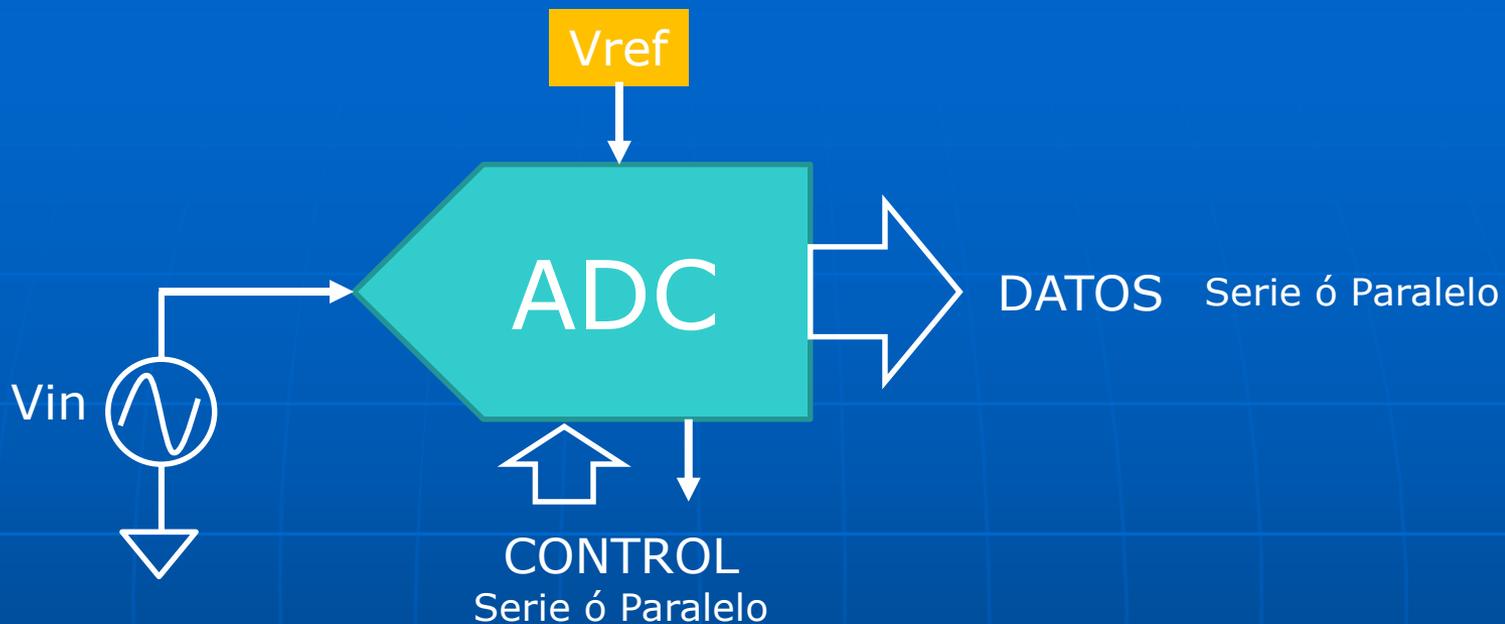
$$V_{OUT} = -V_{REF} \times \frac{\text{CODE}}{65536}$$

← 16 bits

- ±0.5 LSB DNL
- 16-Bit Monotonic
- ±1 LSB INL
- Low Noise: 12 nV/√Hz
- Low Power: I_{DD} = 2 μA
- 2.7-V to 5.5-V Analog Power Supply
- 2-mA Full-Scale Current ±20%, with V_{REF} = 10 V
- 50-MHz Serial Interface
- 0.5-μs Settling Time
- 4-Quadrant Multiplying Reference
- Reference Bandwidth: 10 MHz
- ±10-V Reference Input



CONVERSORES ANALÓGICO-DIGITALES



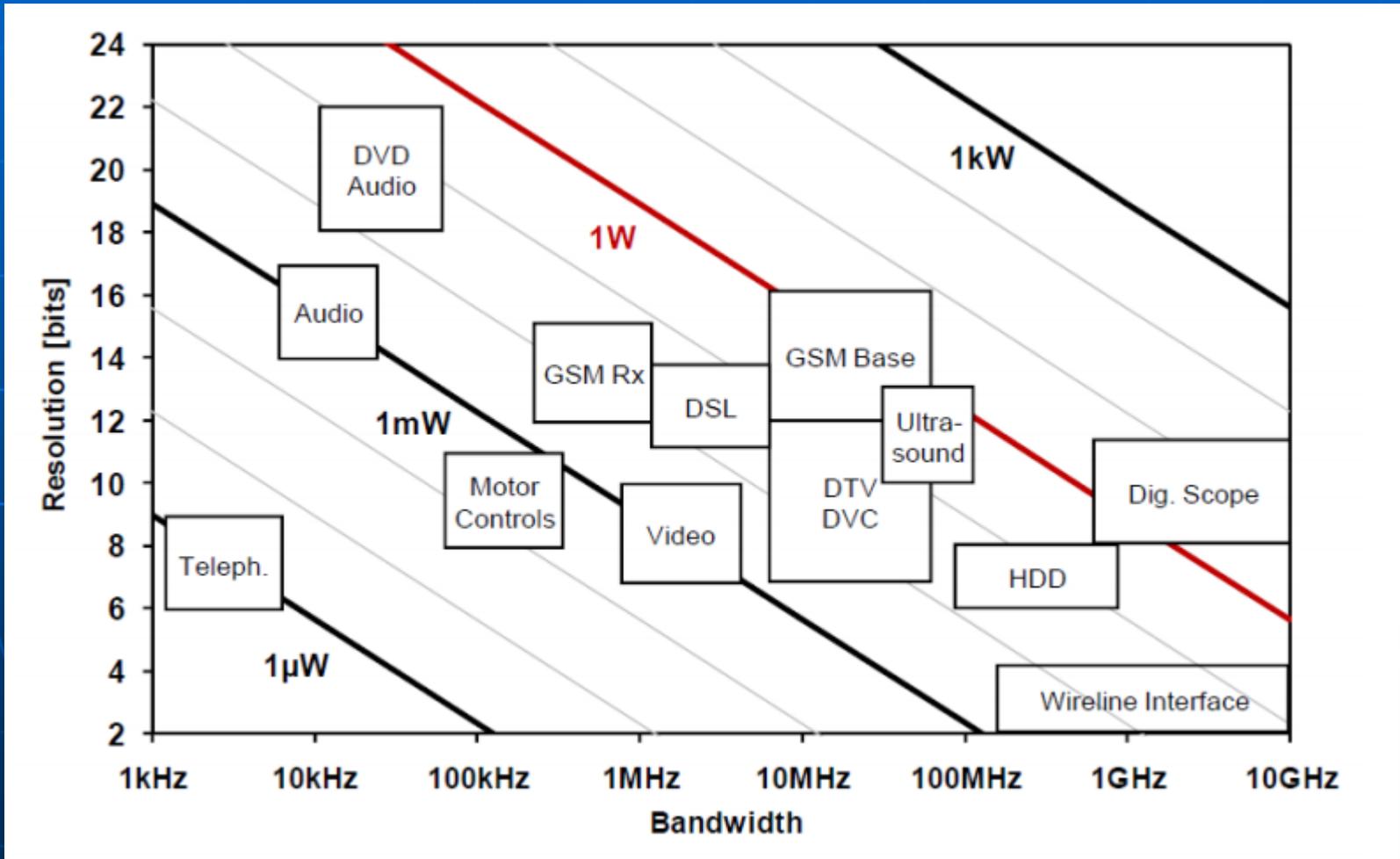
Generalmente un conversor analógico a digital, convierte una señal de tensión analógica en un dato numérico binario con un determinado código.

El rango de tensiones de captura estará definido por una tensión de referencia que puede ser externa ó interna definiendo el "Fondo de Escala" (FullScale).

El control del ADC y los datos de salida pueden presentarse en formato "SERIE" ó "PARALELO". Generalmente hay asociada una señal de reloj que sirve de sincronismo para el proceso de conversión de datos y/o proceso de comunicación con el controlador (ej: un microprocesador).

Existen varias tecnologías de conversión de datos que pueden ser empleadas dependiendo de las aplicaciones, ya sea en comunicaciones (voz, video, procesamiento en RF) ó industriales (conversión de señales provenientes de sensores de parámetros físicos: temperatura, presión, etc.).

Aplicaciones de conversores ADC con requerimientos de consumo velocidad y resolución



Limitaciones:

El ADC es un circuito de conversión NO-Lineal: Convierte una señal analógica en algo discreto (un número) que a su vez tiene una magnitud FINITA.

Esto genera RUIDO + DISTORSIÓN.

El ADC tiene un tiempo de conversión FINITO por lo que limita el máximo ancho de banda de la señal que es capaz de convertir sin que haya pérdida de información (Teoría de Nyquist).

El ADC tiene circuitos internos de preprocesado que no son 100% lineales lo que se traduce en una respuesta NO-lineal en la salida numérica.

Además existen desajustes que generan corrimientos de la curva de transferencia en el origen y en la pendiente de la "recta ideal" que debería obtenerse.

Por más que se compense esto último quedará siempre el denominado error de cuantización.

Se puede no obstante, aplicar algunas técnicas de sobremuestreo para disminuir el ruido proveniente de la conversión (caso de los conversores Sigma-Delta).

Conversores ADC más utilizados:

Flash.

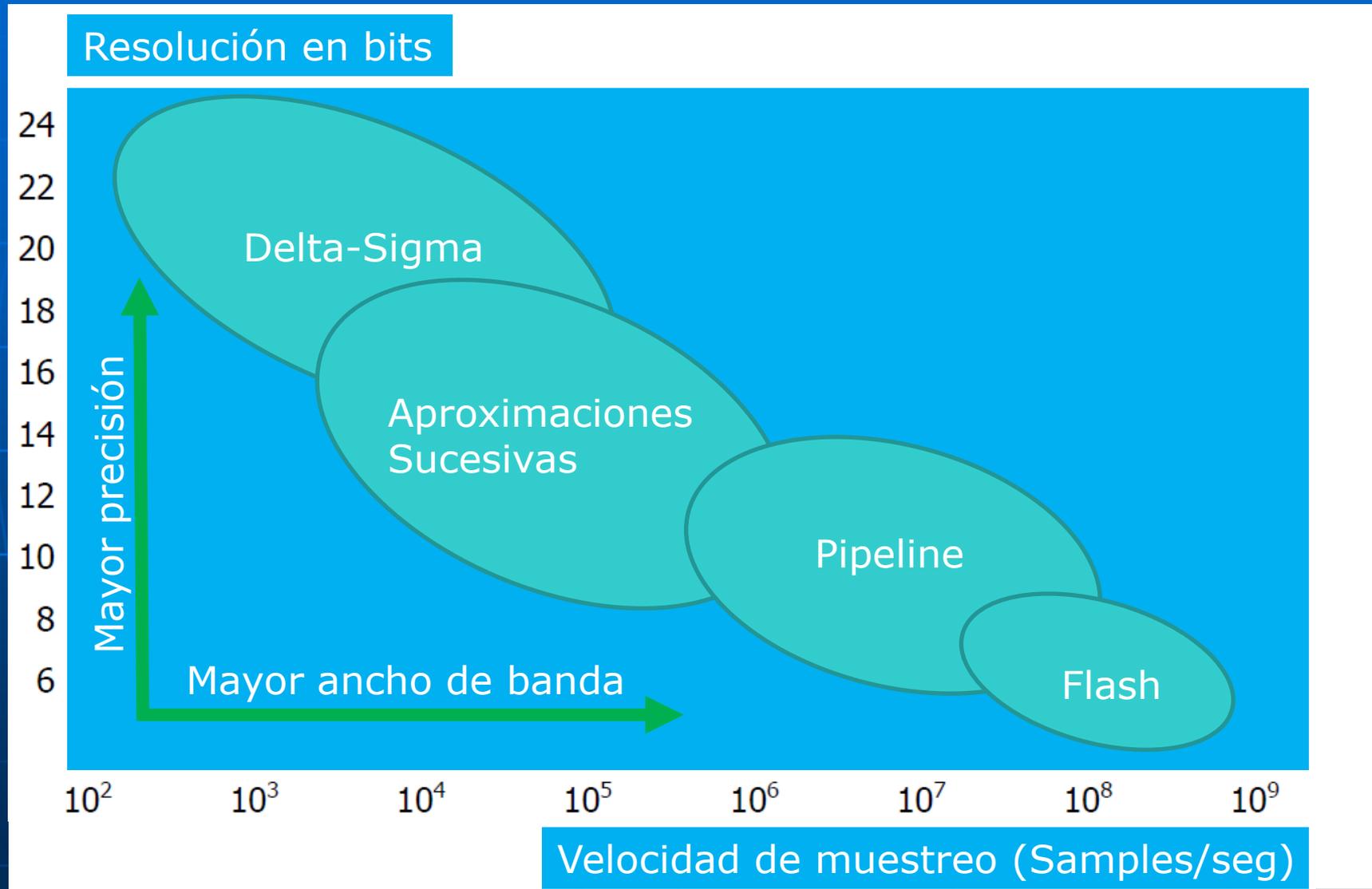
Pipeline (basado en ADCs tipo FLASH).

Sigma-Delta.

Aproximaciones Sucesivas.

Dual Slope (Integrador).

PRODUCTO: RESOLUCIÓN X ANCHO DE BANDA



Componentes:

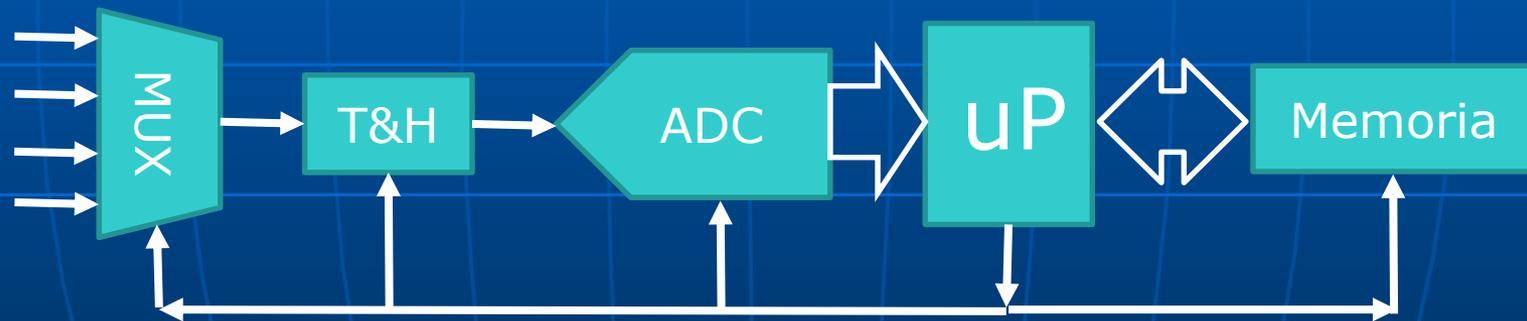
Las tecnologías de los ADC son variadas pero existen ciertos componentes que suelen repetirse:

MUX analógico para convertir el ADC de un sólo canal en uno de entradas múltiples.

Track&Hold ubicado antes del conversor. Sirve para capturar y mantener constante la señal de entrada durante el proceso de conversión.

Conversor propiamente dicho. Convierte la muestra de señal (generalmente una tensión) en un número digital que se presenta en formato serie ó paralelo.

Cadena de retardos en el proceso de conversión:



La máxima velocidad de muestreo no sólo depende del tiempo de conversión del ADC, sino de los tiempos de retardo del MUX analógico, la "memoria analógica" (Track&Hold), el microprocesador (uP) y la memoria de datos donde se almacenará el resultado.

La suma de todos estos tiempos define la máx. frecuencia de muestreo, aparte de la que sale del Teorema de Nyquist que relaciona el tiempo de conversión y el ancho de banda (BW) de la señal de entrada.

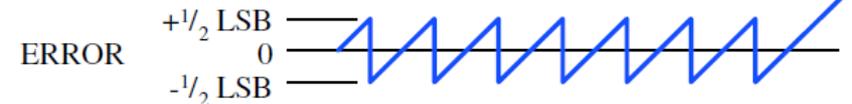
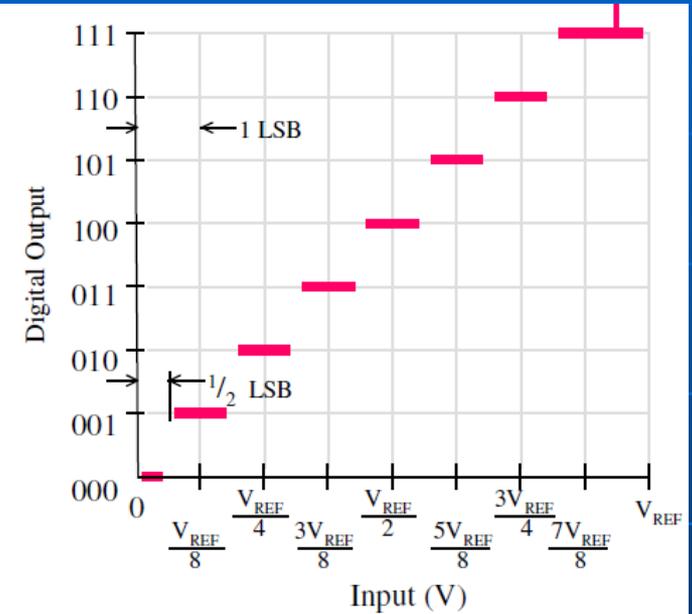
Errores:

El valor del bit menos significativo depende de la Tensión de referencia y de la resolución del ADC:

$$LSB = V_{ref} / 2^n$$

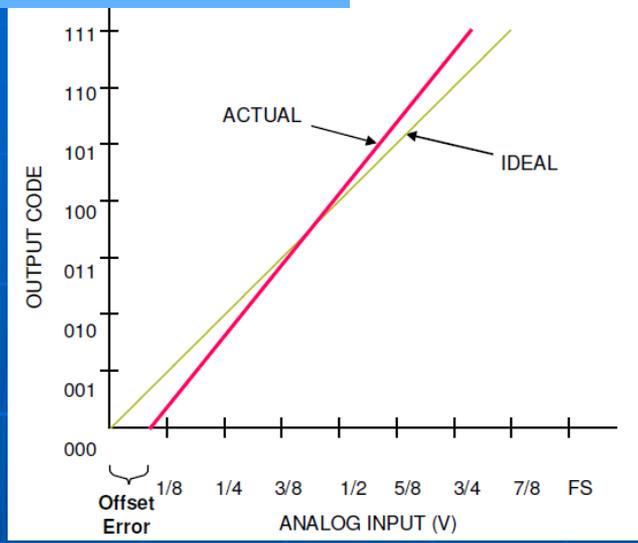
V_{REF}	Resolution	1 LSB
1.00V	8	3.9062 mV
1.00V	12	244.14 μ V
2.00V	8	7.8125 mV
2.00V	10	1.9531 mV
2.00V	12	488.28 μ V
2.048V	10	2.0000 mV
2.048V	12	500.00 μ V
4.00V	8	15.625 mV
4.00V	10	3.9062 mV
4.00V	12	976.56 μ V

Error de cuantización es el único error que no puede ser cancelado aunque sí reducido. Una forma es la de emplear V_{ref} pequeña y alta resolución de bits.



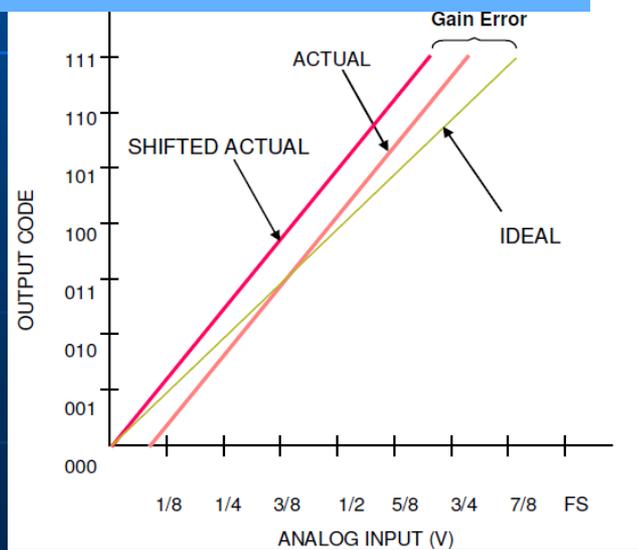
En el gráfico se observa como el error varía según la tensión que se quiera convertir. Evoluciona como un diente de sierra con amplitud \pm LSB.

Error de OFFSET



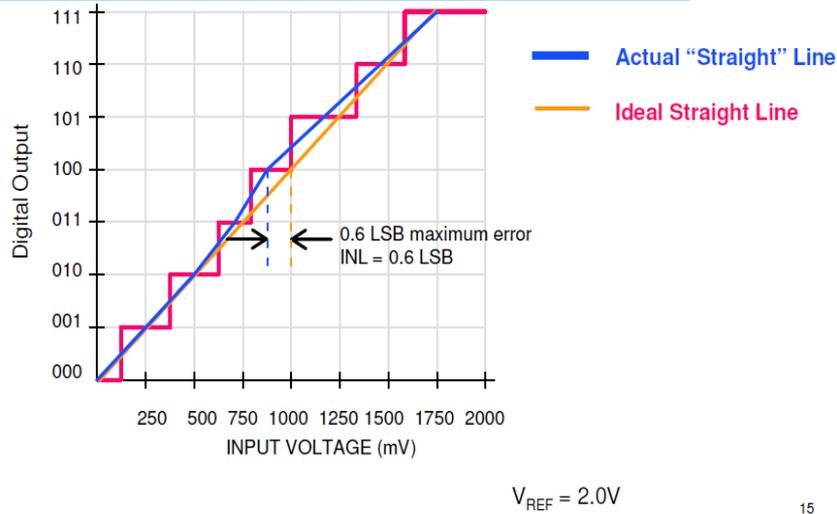
El error de OFFSET mdido en LSB da el apartamiento que tiene la función de transferencia del conversor en el origen.
Generalmente puede ser compensado externamente ya sea en el propio ADC o empleando un amplificador operacional a la entrada del mismo ADC.

Error de GANANCIA LINEAL



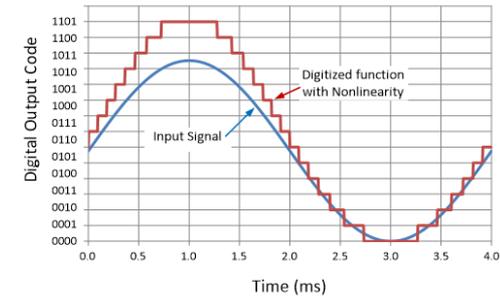
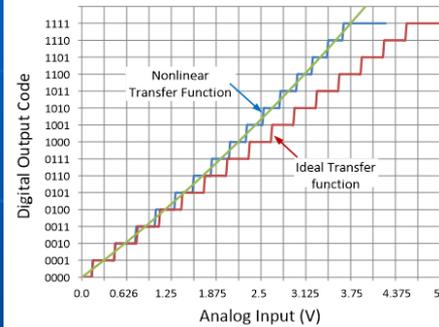
El error de GANANCIA LINEAL medido en LSB da el apartamiento que tiene la función de transferencia del conversor respecto a su pendiente.
Generalmente puede ser compensado externamente ya sea en el propio ADC o empleando un amplificador operacional a la entrada del mismo ADC.

Error de GANANCIA NO-LINEAL

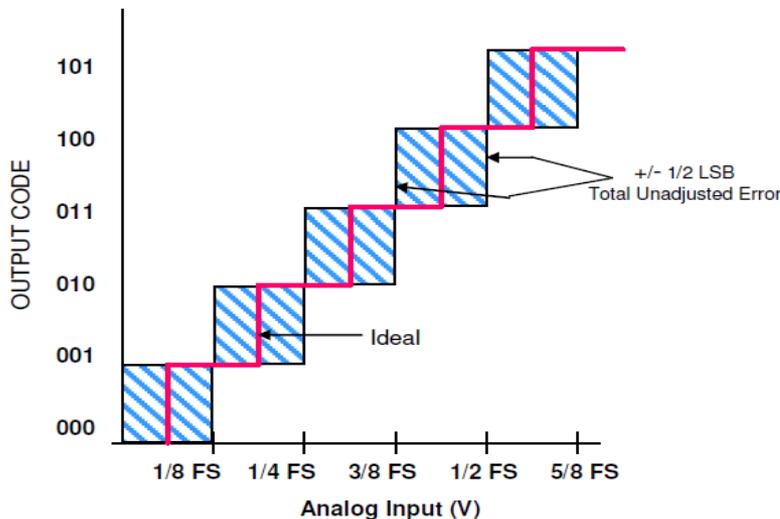


Este error de Ganancia da el valor en LSB del mayor apartamiento entre la curva de transferencia real y la ideal.
Este error no puede ser compensado externamente.

Nonlinearity

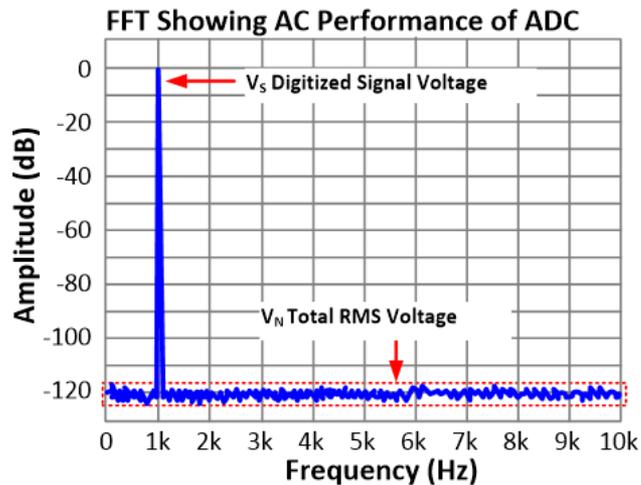


Error TOTAL sin COMPENSAR



Los errores de Ganancia Lineal y Offset pueden ser compensados externamente pero esto encarece el diseño y puede degradar la performance.
La especificación de "Total Unadjusted Error" da una idea de la suma de estos errores medido en LSB, a fin de que el diseñador evalúe si es necesario agregar compensación o no.

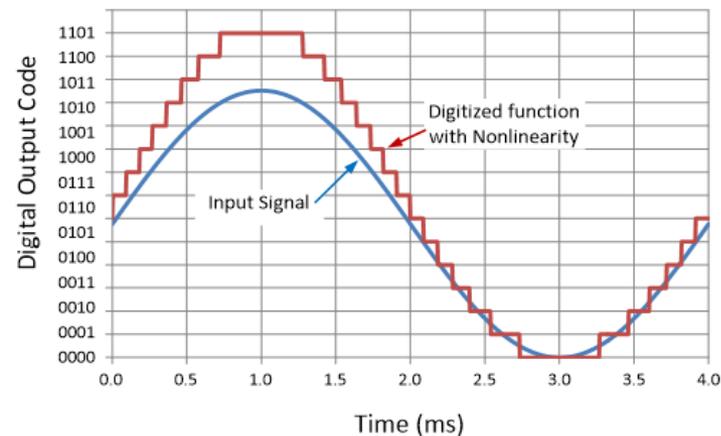
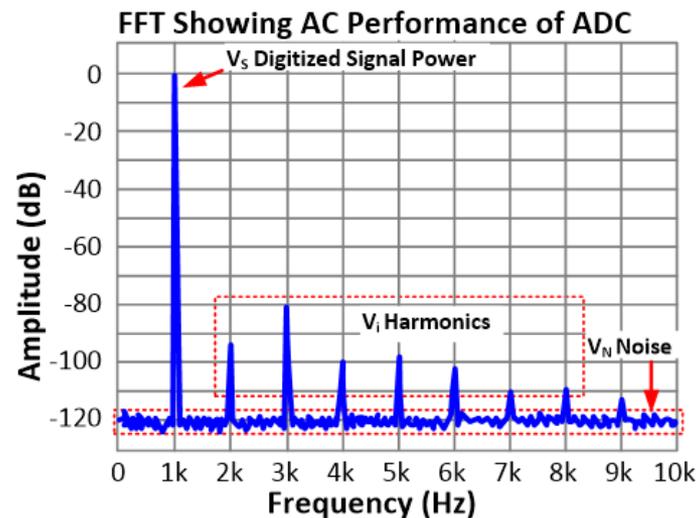
Signal to Noise Ratio (SNR)



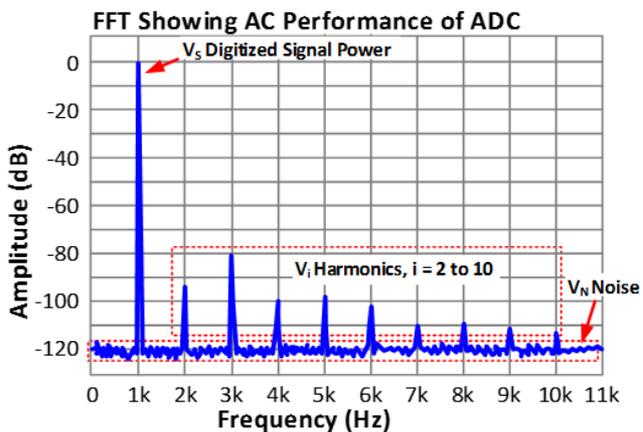
Existen varios parámetros que dan información sobre como responden los ADC en forma dinámica. En especial en comunicaciones es importante saber las especificaciones de:

- Relación Señal a Ruido (SNR).
- Distorsión Armónica Total (THD).
- Relación Señal a Ruido + Distorsión (SINAD).
- Rango Dinámico Libre de Espúreos (SFDR).

Total Harmonic Distortion (THD)



Total Harmonic Distortion (THD), THD+N, SINAD



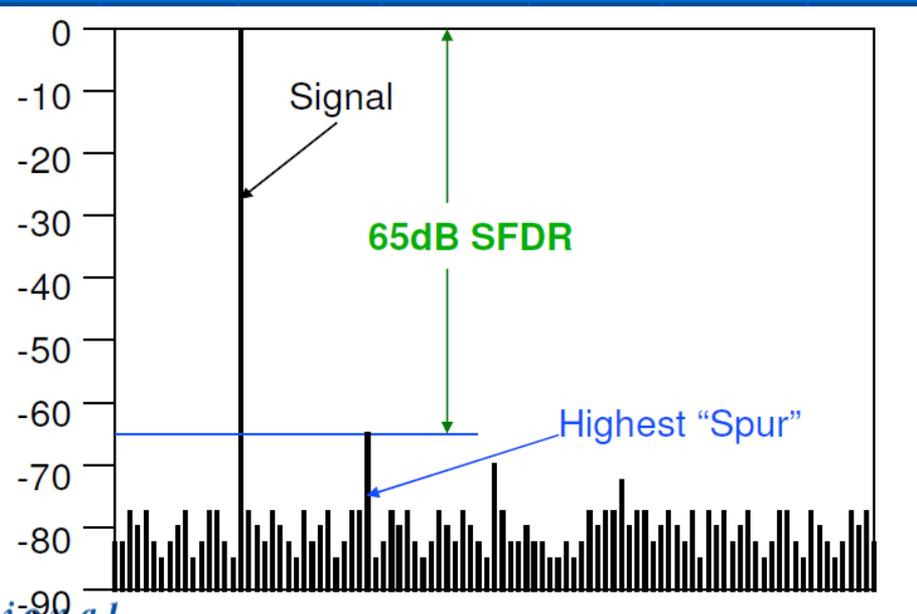
$$THD(\%) = \sqrt{\frac{\sum_{i=2}^{10} V_i^2}{V_S^2}} \cdot 100$$

$$THD(dB) = 20 \cdot \log\left(\sqrt{\frac{\sum_{i=2}^{10} V_i^2}{V_S^2}}\right)$$

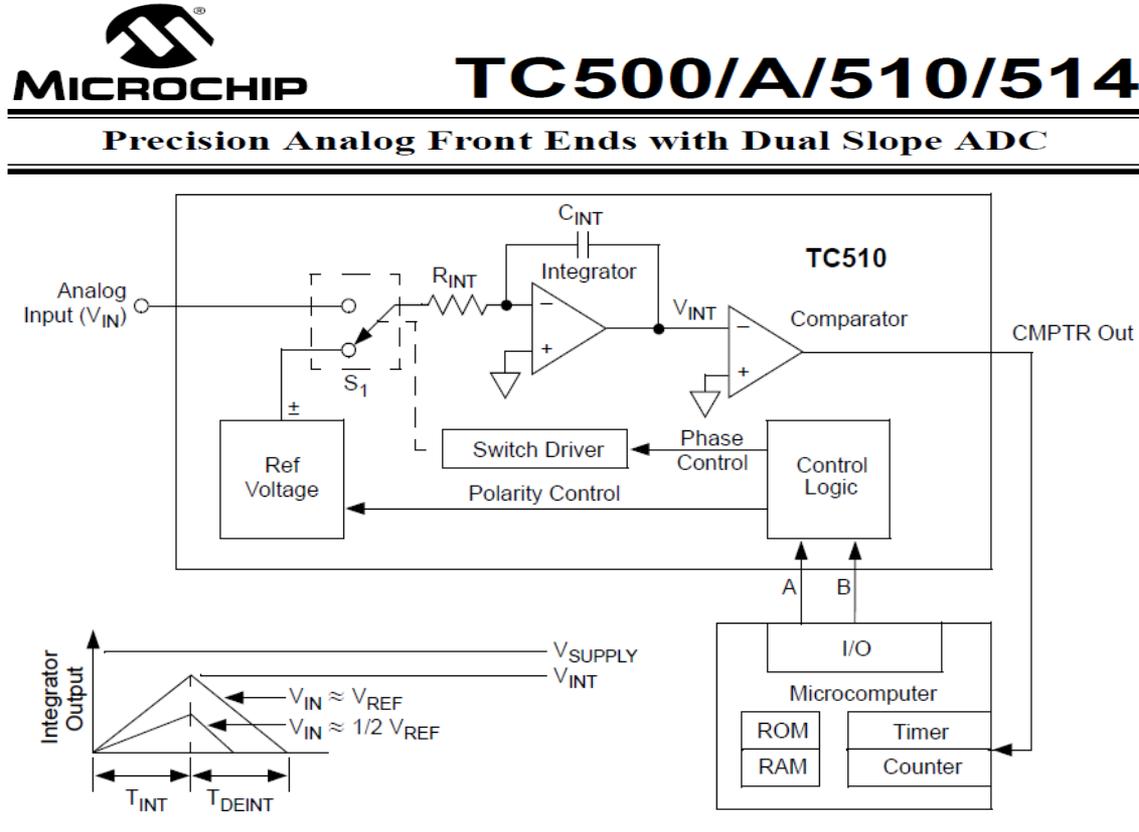
$$(THD + N)(dB) = 20 \cdot \log\left(\sqrt{\frac{\sum_{i=2}^{10} V_i^2 + V_N^2}{V_S^2}}\right)$$

$$SINAD(dB) = 20 \cdot \log\left(\sqrt{\frac{V_S^2}{\sum_{i=2}^{10} V_i^2 + V_N^2}}\right)$$

Todo conversor es un circuito a lineal y genera distorsión y ruido.
 En todos los gráficos se considera que la entrada es una senoide pura.
 THD es un parámetro que da idea del grado de distorsión armónica generada.
 SINAD es un parámetro que combina ruido mas distorsión.



El SFDR es un parámetro que señala cual es el Rango Dinámico de la señal tomando como referencia el pico mas alto de los armónicos generados en la conversión.
 Cuanto más alto el valor mayor performance tendrá el conversor.



Existen en el mercado todavía conversores integradores los cuales son muy lentos (hasta decenas de conversiones por segundo) pero que son simples y precisos.

El "dual slope" ó doble rampa realiza dos integraciones:

La primera con la tensión de entrada y la segunda con la polaridad opuesta usando una tensión de referencia.

La primera fase se hace en un tiempo " T_{in} " que es fijo y la segunda fase en un tiempo variable " T_{dein} ".

La salida del integrador controla un comparador analógico que comanda a un contador binario tal que conociendo el valor de V_{ref} y los tiempos T_{in} y T_{dein} , se puede calcular V_{in} en base a la cantidad de conteos realizados.

El método de doble rampa hace insensible la medición ante posibles cambios de los valores de R_{int} y C_{int} que puedan producirse entre mediciones por efecto de la temperatura.

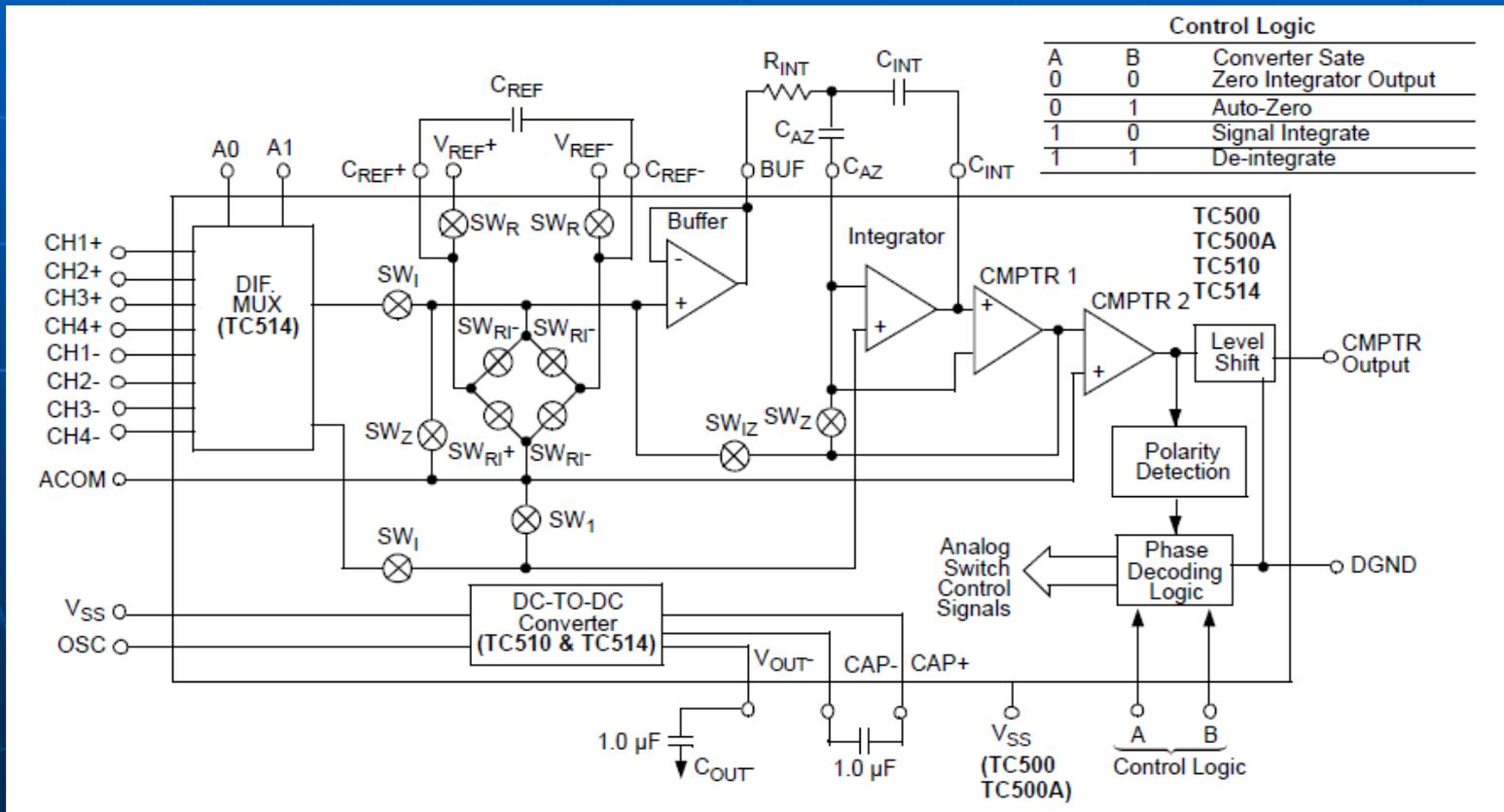
Además a fin de evitar errores internos de offset por los componentes activos analógicos se suele hacer un proceso de AUTO CERO, es decir, medir con entrada nula y si hay una salida distinta de CERO, restarla al resultado posterior con la entrada real a convertir.

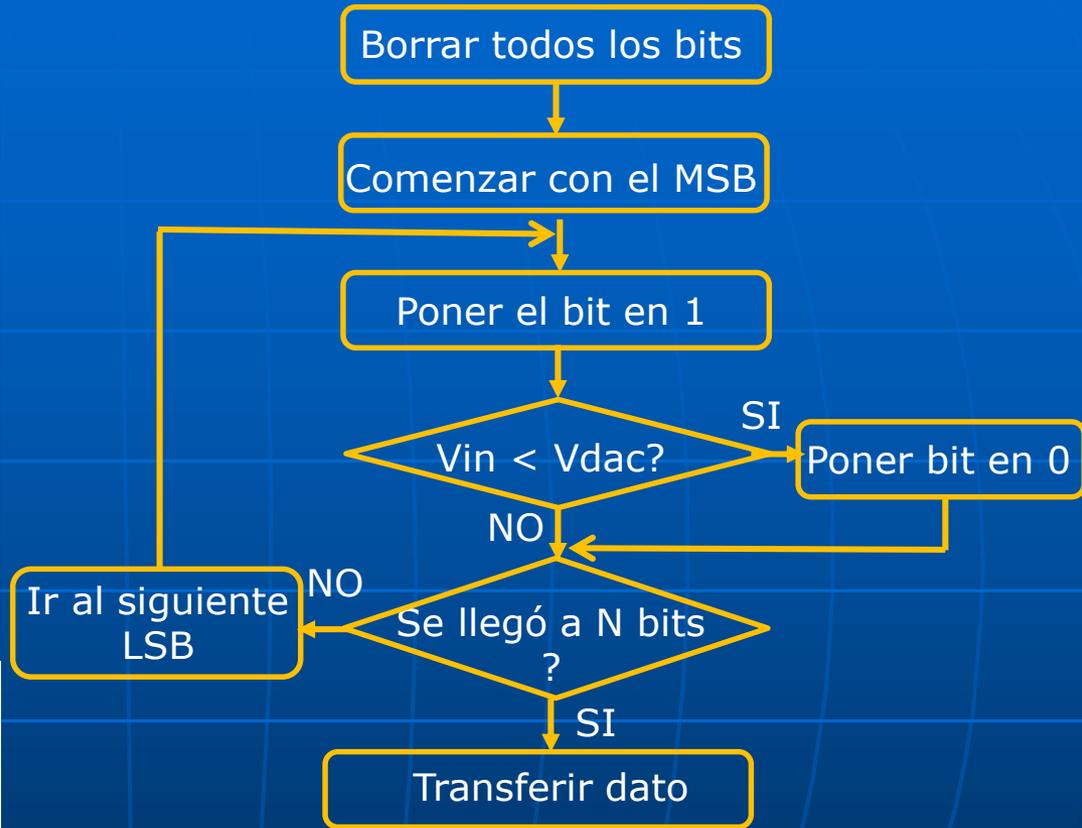
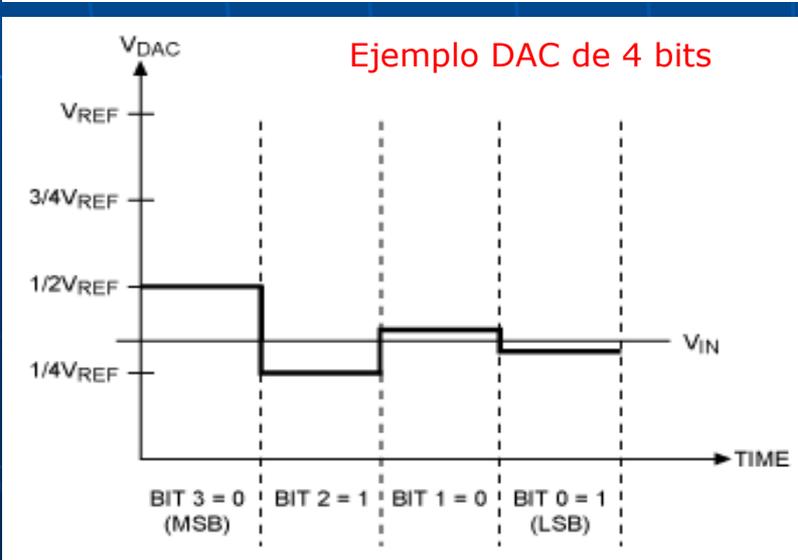
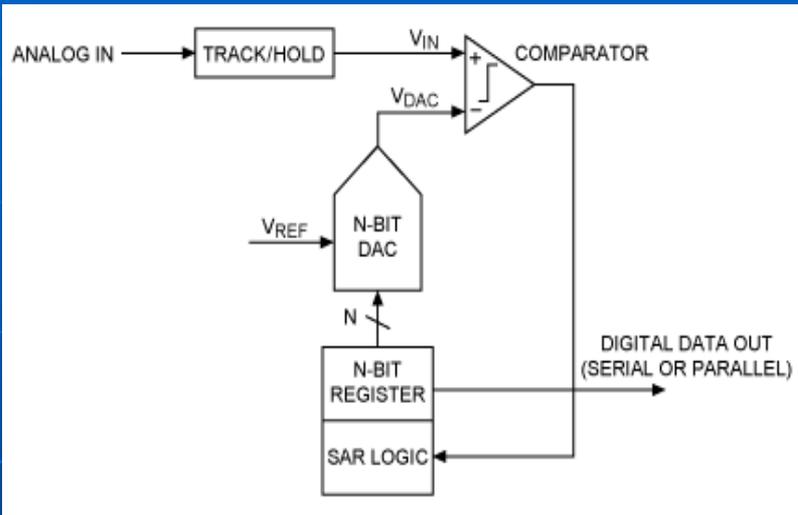


TC500/A/510/514

Precision Analog Front Ends with Dual Slope ADC

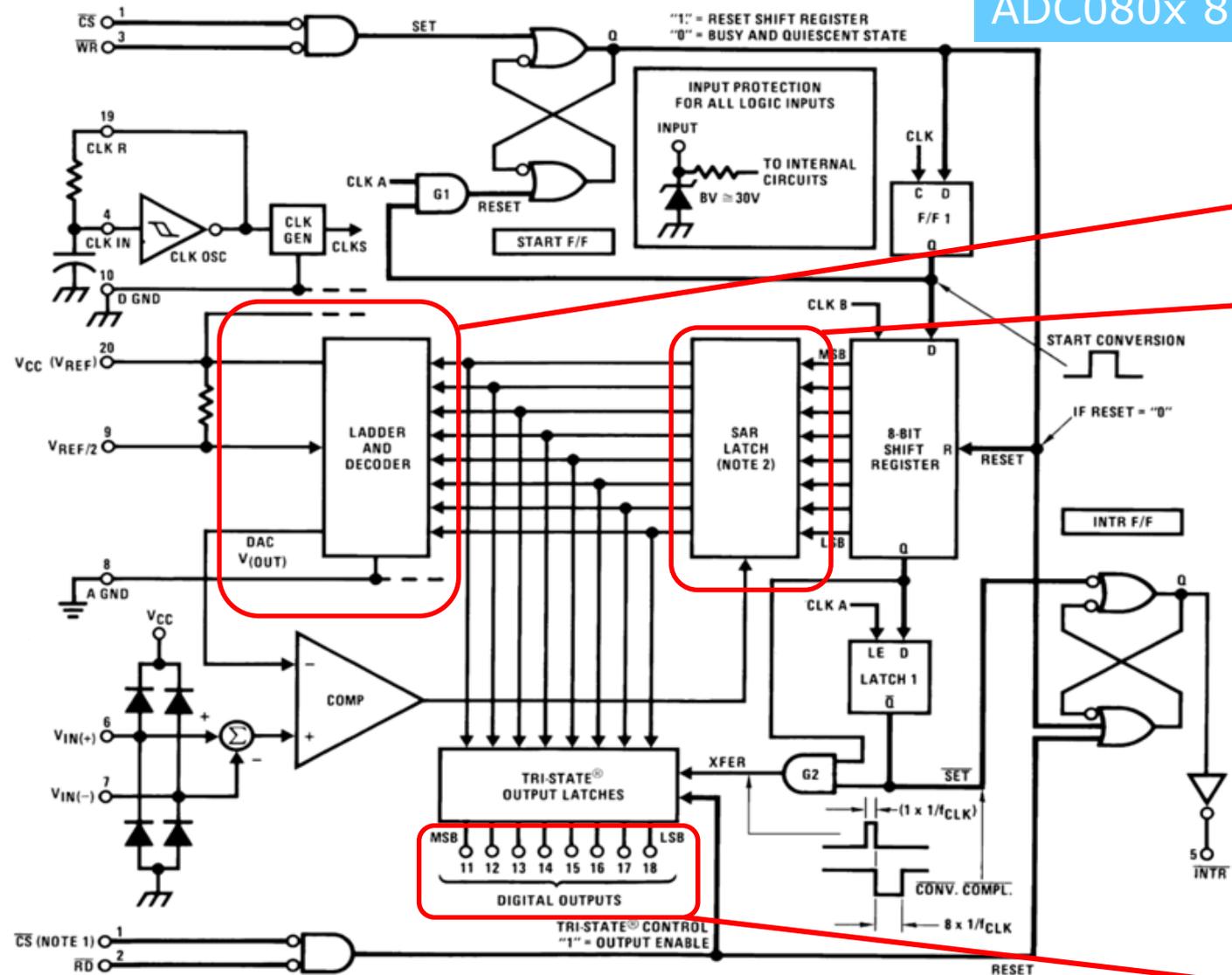
Este conversor Dual Slope ADC realiza primero la integración con V_{in} y la integración inversa con V_{ref} , además de dos ajustes de autocero para eliminar los errores de offset internos. La resolución es de 17 bits y la velocidad de conversión típica es de 4 conversiones por segundo lo cual limita su uso a aplicaciones donde la velocidad no sea un factor limitante (ej. mediciones de DC (corriente continua) de precisión).





Bajo consumo.
 Alta resolución y precisión.
 Velocidad limitada por:
 El "settling time" del DAC para que esté en menos de +/- LSB.
 Tiempo de respuesta del comparador.
 La lógica del SAR.

ADC080x 8 bit SAR ADC



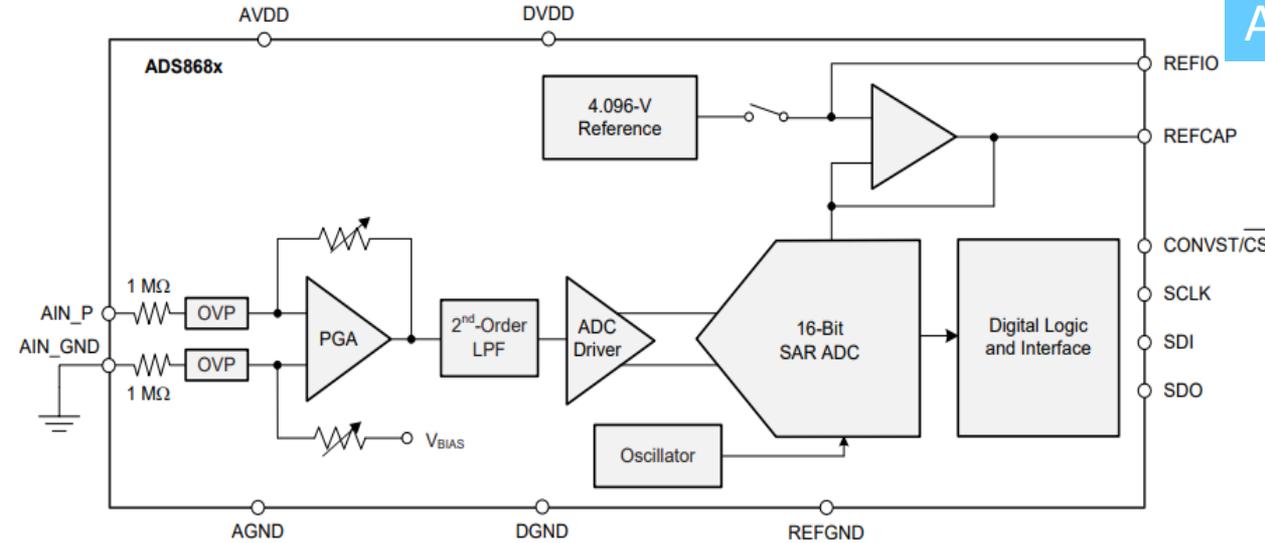
Convertor DAC tipo R2R

Registro de Aproximaciones Sucesivas

Tiempo de conversión: 100 μ s.
Resolución: 8 bits.
Alimentación: 5 V.
Reloj incorporado (hay que agregar R y C).

Salida del ADC con opción Tri-State

Block Diagram



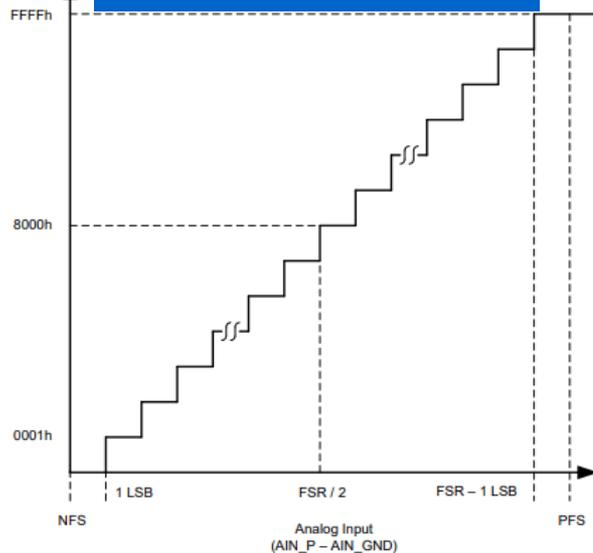
Ejemplo de conversor de aproximaciones sucesivas de Analog Devices

Resolución de 16 bits.
Hasta 1Megamuestras por seg.
Opera desde 1,65 hasta 5V.

Acepta señales Unipolares y Bipolares.

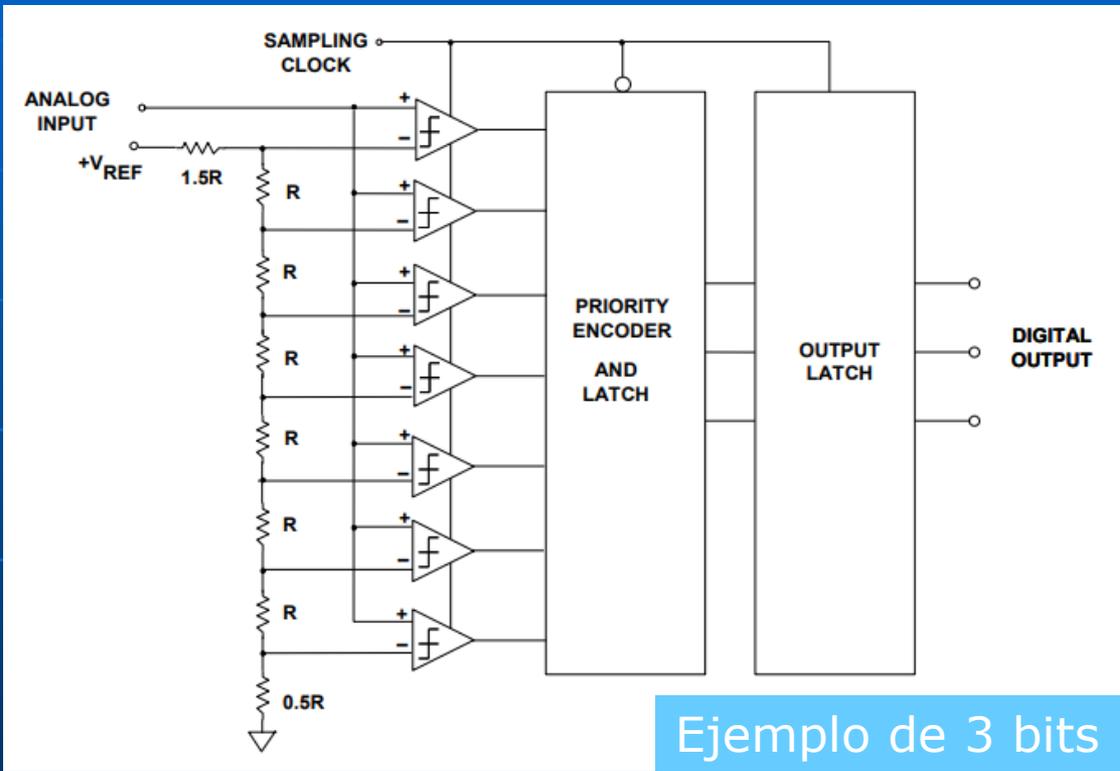
Referencia de Tensión de 4096 mV incorporada.

Función de Transferencia



1 Features

- 16-Bit ADC With Integrated Analog Front-End
- High Speed:
 - ADS8681: 1 MSPS
 - ADS8685: 500 kSPS
 - ADS8689: 100 kSPS
- Software Programmable Input Ranges:
 - Bipolar Ranges: ± 12.288 V, ± 10.24 V, ± 6.144 V, ± 5.12 V, and ± 2.56 V
 - Unipolar Ranges: 0 V– 12.288 V, 0 V– 10.24 V, 0 V– 6.144 V, and 0 V– 5.12 V
- 5-V Analog Supply: 1.65-V to 5-V I/O Supply
- Constant Resistive Input Impedance ≥ 1 M Ω
- Input Overvoltage Protection: Up to ± 20 V
- On-Chip, 4.096-V Reference With Low Drift
- Excellent Performance:
 - DNL: ± 0.4 LSB; INL: ± 0.5 LSB
 - SNR: 92 dB; THD: -107 dB



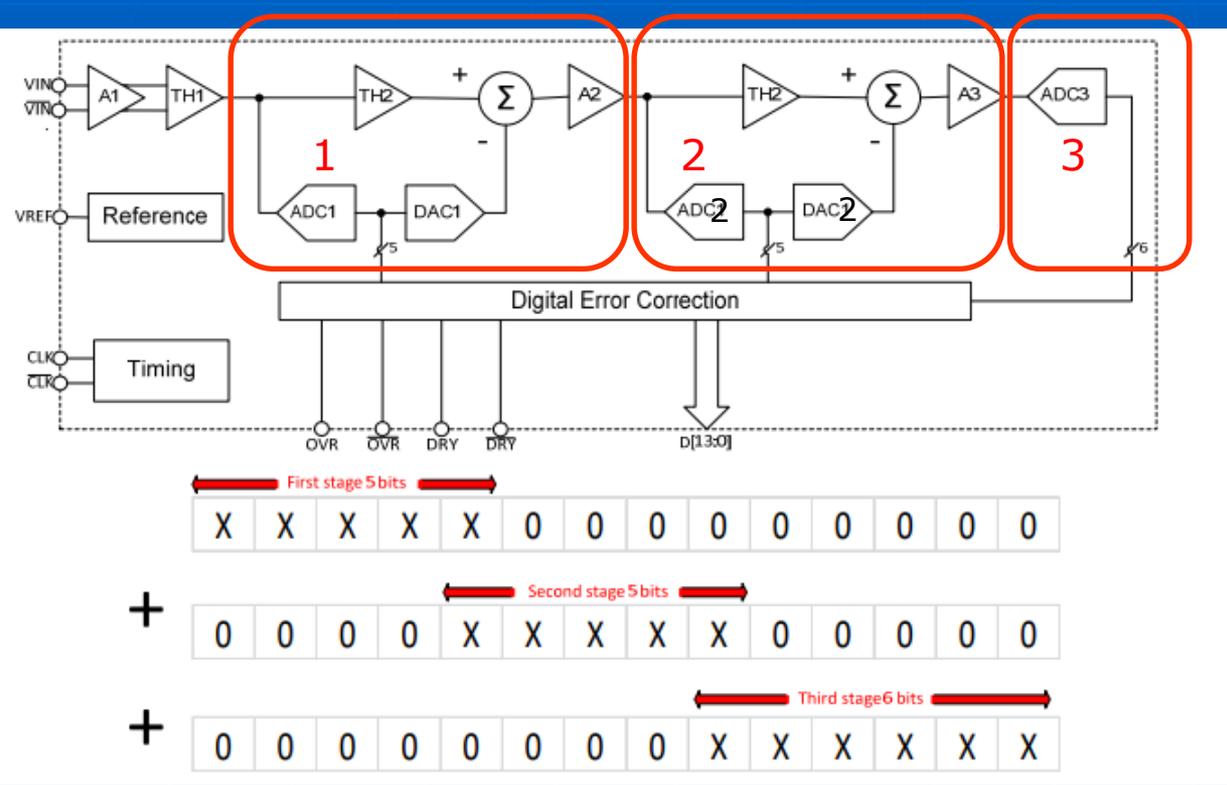
Ejemplo de 3 bits

La velocidad está limitada por el settling time de los comparadores, los latches y la lógica combinatoria de codificación.

Son muy rápidos pero la electrónica se incrementa dado que se requieren $2^N - 1$ comparadores (255 para 8 bits de resolución). Esto genera más área y por lo tanto un costo adicional.

Existen alternativas de usar por ej. dos ADC Flash de 4 bits cada uno con circuitería adicional especial para llegar a 8 bits de resolución.

En el siguiente ejemplo se convierte una señal analógica en 14 bits pero en etapas sucesivas. Se realiza una primera conversión de 5 bits con ADC1. Se genera un nuevo valor de tensión analógica con DAC1 que se resta a la entrada original. Luego el residuo se multiplica por A2 para lograr una salida de esa etapa a fondo de escala. La salida del bloque 1 se vuelve a procesar de igual manera en el bloque 2 con el ADC2 de 5 bits (ADC2). Por último el resto que quedó de la tensión de entrada se convierte con ADC3.



Para formar el número final en 14 bits la primera etapa de 5 bits se debe multiplicar x 512. La segunda de 5 bits x 32 y la tercera de 6 bits x 1. Un circuito adicional realiza la conversión a 14 bits, obteniéndose la salida $D(13...0)$. Se requiere de una precisa adaptación debido a la superposición de 16 bits que se convierten luego a 14.

Generalmente los ADCs (1 a 3 en este ejemplo) son tipo Flash. El proceso de conversión requiere de un número dado de ciclos de reloj para finalizar la conversión.

Este tipo de conversor es un buen balance entre velocidad de muestreo, consumo y resolución.



1-GSPS Sample Rate 12-Bit Resolution

ADS5400-SP

www.ti.com

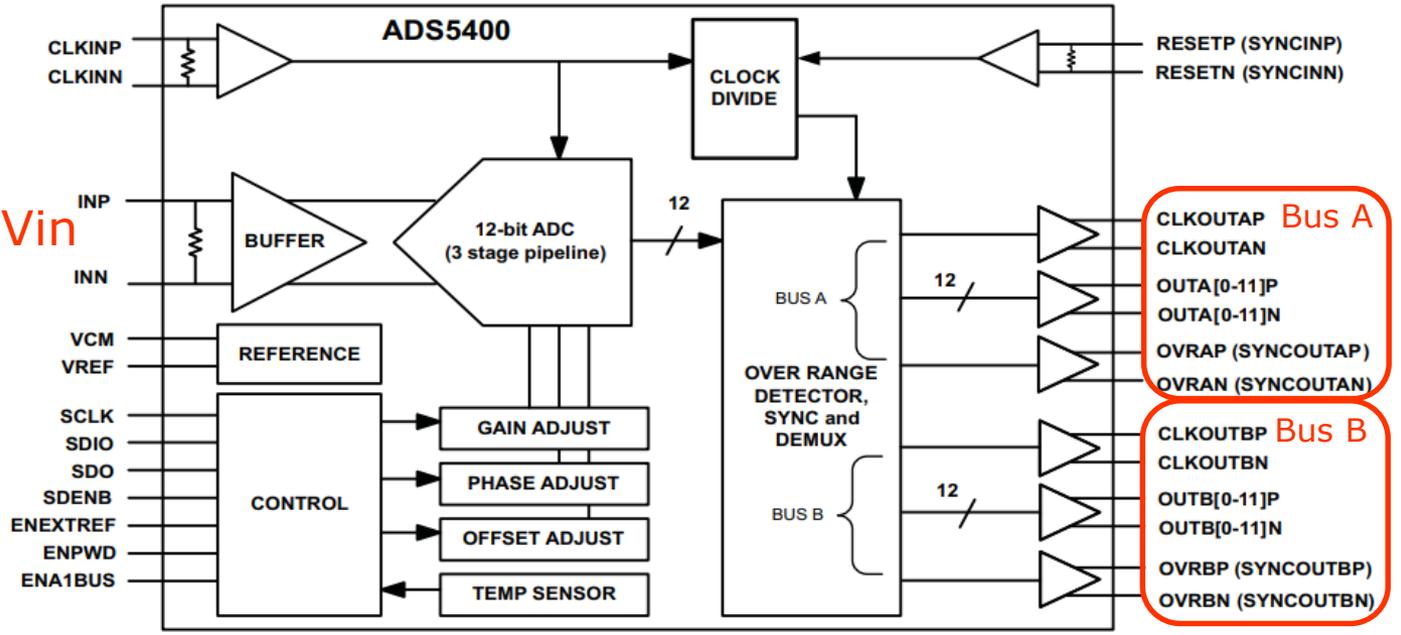
SLAS669D – SEPTEMBER 2010 – REVISED JANUARY 2014

12-Bit, 1-GSPS Analog-to-Digital Converter

Check for Samples: [ADS5400-SP](#)

The ADS5400 is a 12-bit, 1-GSPS analog-to-digital converter (ADC) that operates from both a 5-V supply and 3.3-V supply, while providing LVDS-compatible digital outputs. The analog input buffer isolates the internal switching of the track and hold from disturbing the signal source. The simple 3-stage pipeline provides extremely low latency for time critical applications. Designed for the conversion of signals up to 2 GHz of input frequency at 1 GSPS, the ADS5400 has outstanding low noise performance and spurious-free dynamic range over a large input frequency range.

BLOCK DIAGRAM

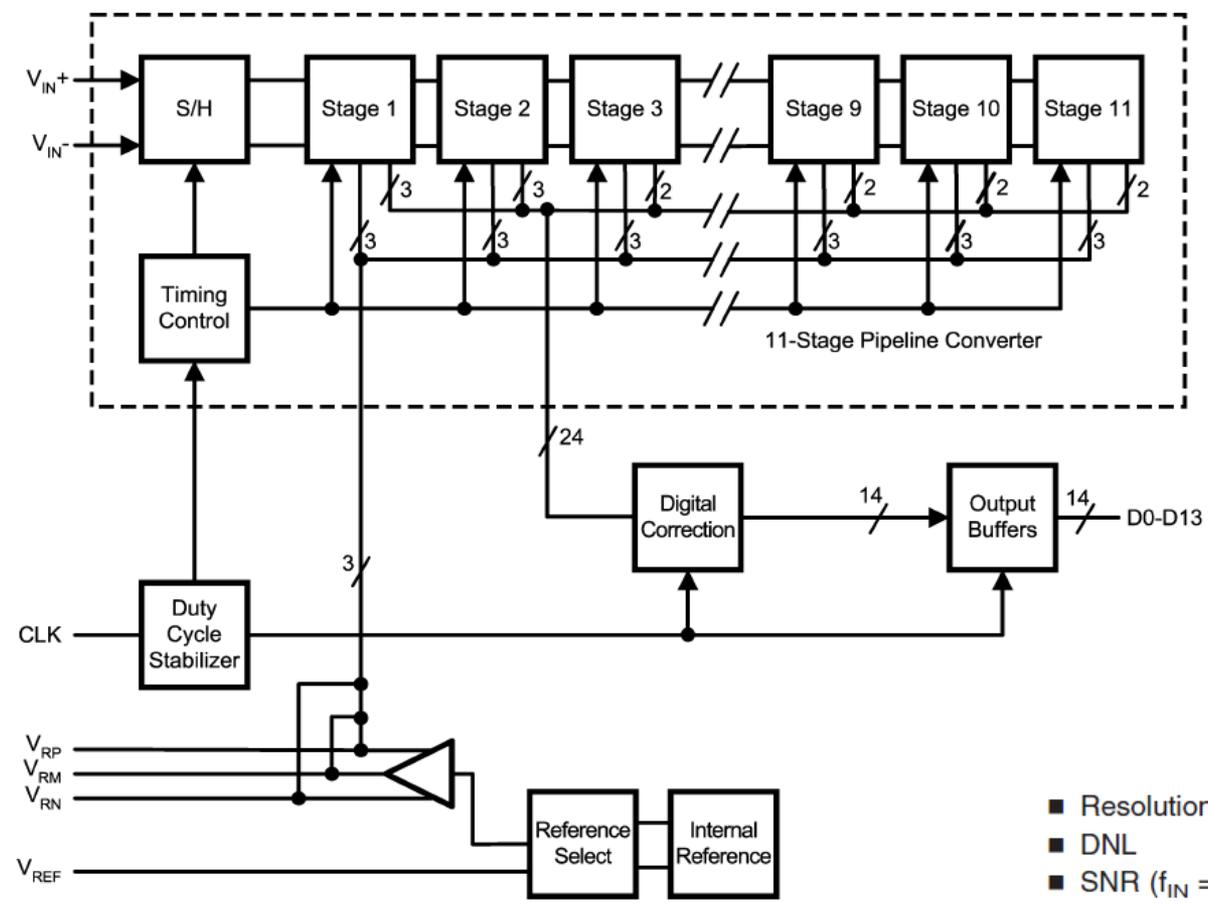


Este conversor tiene 7 ciclos de reloj de **latencia**, es decir que una muestra que se adquiere tarda 7 períodos de reloj en presentarse a la salida ya convertida en 12 bits.

La interface de salida digital es serie del tipo LVDS.

Tiene la opción de sacar la información por uno o dos buses (A y B). Con dos buses se reduce a la mitad la frecuencia del reloj de salida (dos muestras por bloque).

ADC14L040
14-Bit, 40 MSPS, 235 mW A/D Converter



Este conversor tiene 7 ciclos de reloj de latencia, es decir que una muestra que se adquiere tarda 7 períodos de reloj en presentarse a la salida ya convertida en 14 bits.

La interface de salida digital es paralelo.

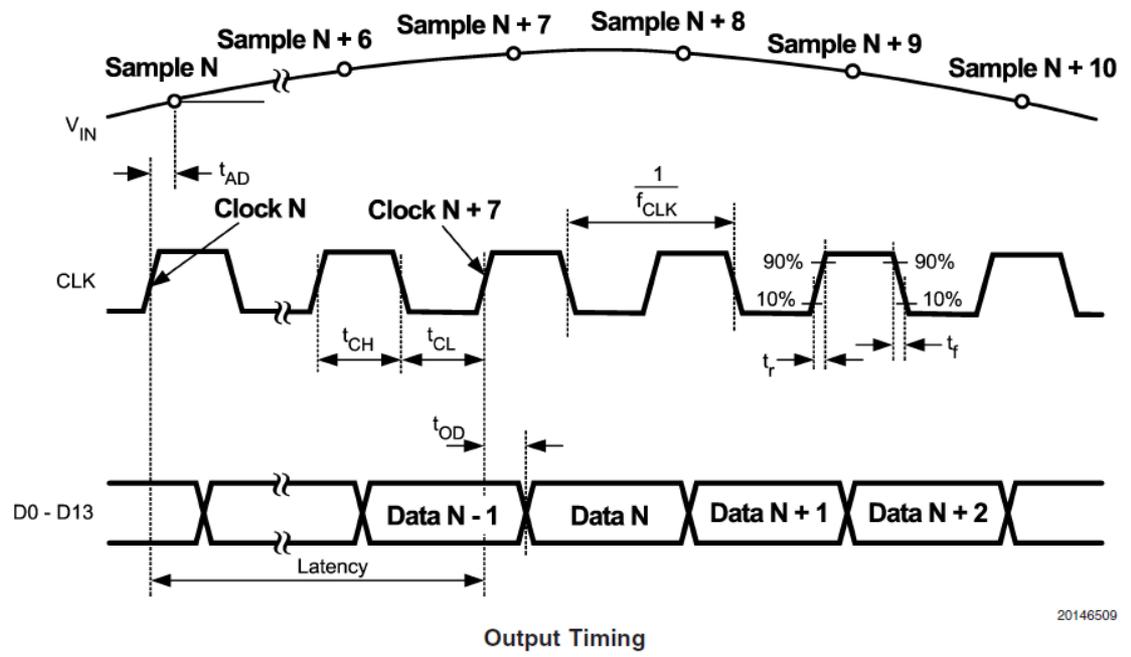
Aplicaciones:
 Comunicaciones.
 Video Digital.
 Instrumentación.

■ Resolution	14 Bits
■ DNL	±0.5 LSB (typ)
■ SNR ($f_{IN} = 10 \text{ MHz}$)	74 dB (typ)
■ SFDR ($f_{IN} = 10 \text{ MHz}$)	90 dB (typ)
■ Data Latency	7 Clock Cycles
■ Power Consumption	
■ -- Operating	235 mW (typ)
■ -- Power Down Mode	15 mW (typ)

ADC14L040

14-Bit, 40 MSPS, 235 mW A/D Converter

Timing Diagram



Este conversor tiene 7 ciclos de reloj de latencia, es decir que una muestra que se adquiere tarda 7 períodos de reloj en presentarse a la salida ya convertida en 12 bits.

La interface de salida digital es serie del tipo LVDS.

Tiene la opción de sacar la información por uno o dos buses (A y B). Con dos buses se reduce a la mitad la frecuencia del reloj de salida.

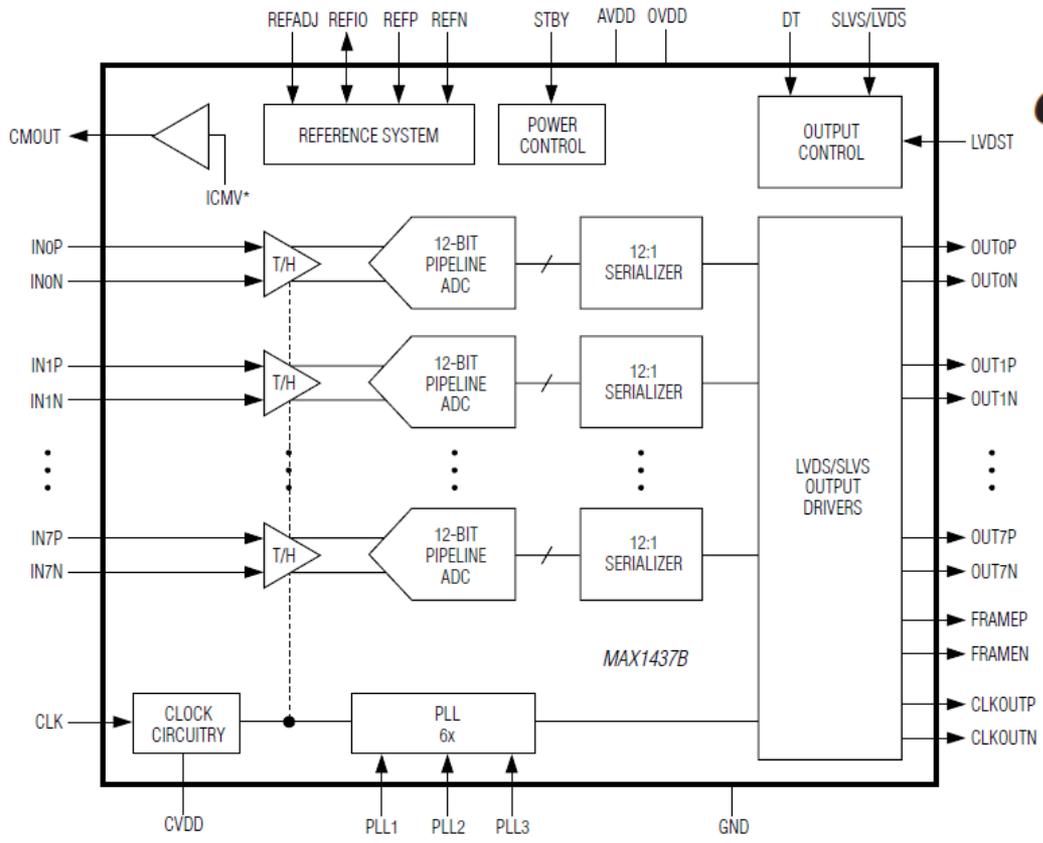
20146509



Octal, 12-Bit, 50Mps, 1.8V ADC with Serial LVDS Outputs

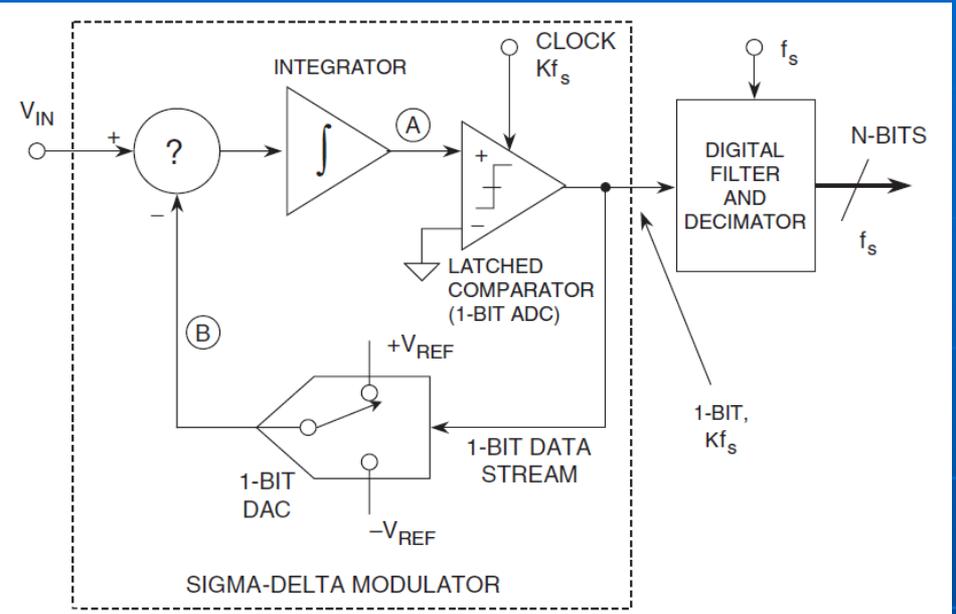
Key Features

- Excellent Dynamic Performance
 - 70.2dB SNR at 5.3MHz
 - 98dBc SFDR at 5.3MHz
 - 82dB Channel Isolation at 5.3MHz
- Ultra-Low Power
 - 96mW per Channel (Normal Operation)
- Serial LVDS Outputs
- Pin-Selectable LVDS/SLVS (Scalable Low-Voltage Signal) Mode
- LVDS Outputs Support Up to 30in FR-4 Backplane Connections
- Test Mode for Digital Signal Integrity
- Fully Differential Analog Inputs
- Wide Differential Input Voltage Range (1.4V_{p-p})
- On-Chip 1.24V Precision Bandgap Reference
- Clock Duty-Cycle Equalizer
- Compact, 68-Pin TQFN Package with Exposed Pad

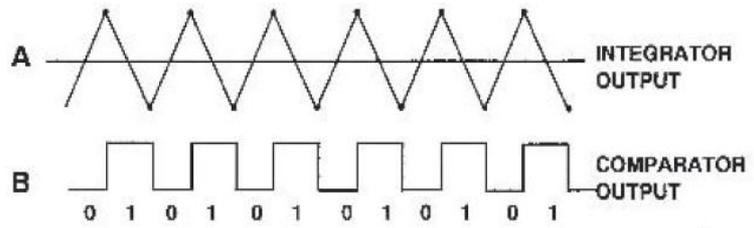


Este ejemplo muestra como se combinan en un mismo chips 8 conversores ADC pipeline de 12 bits con muestreo de 50 Mps(Mega-muestras x segundo) y salidas independientes serie. T/H son los Track&Hold para capturar la entrada y poder convertir la señal sin que esta varíe. Los serializadores son una cadena de RDs Paralelo-Serie.

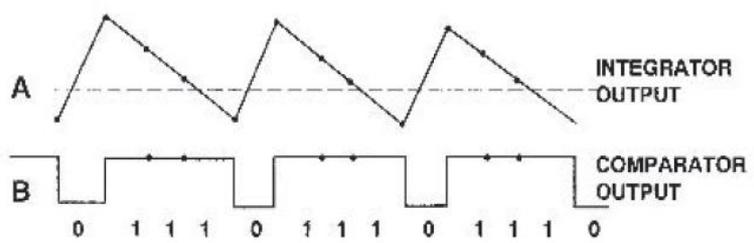
Modulador Delta-Sigma Básico de Primer Orden



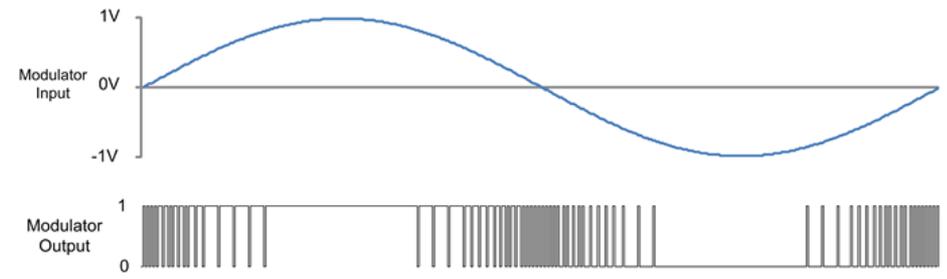
$V_{IN} = 0V$
 $= 2/4$
 $= 4/8$

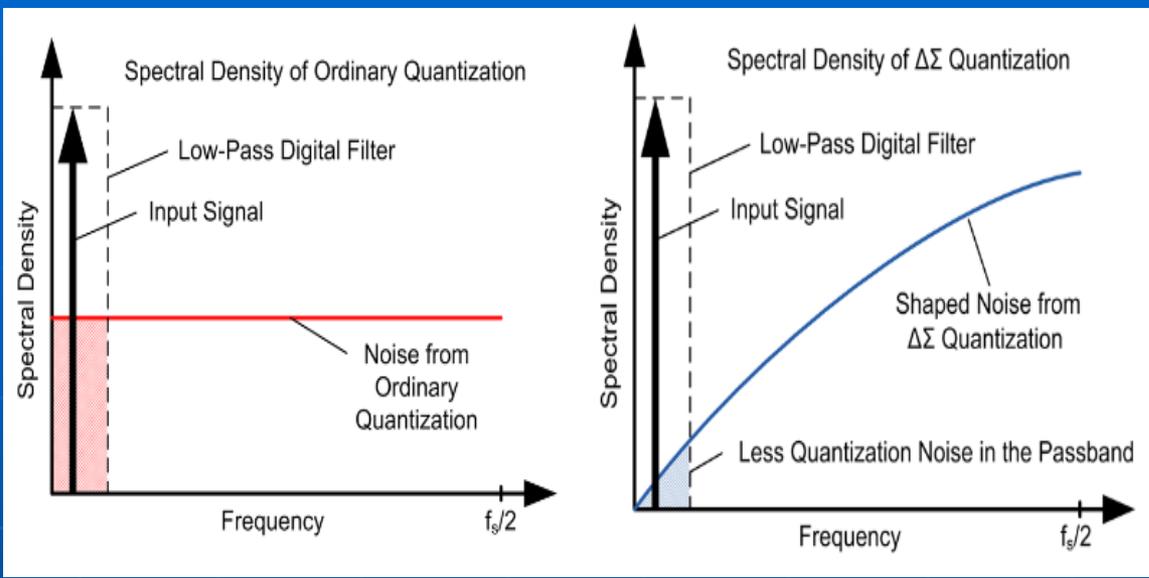


$V_{IN} = +\frac{V_{REF}}{2}$
 $= 3/4$
 $= 6/8$

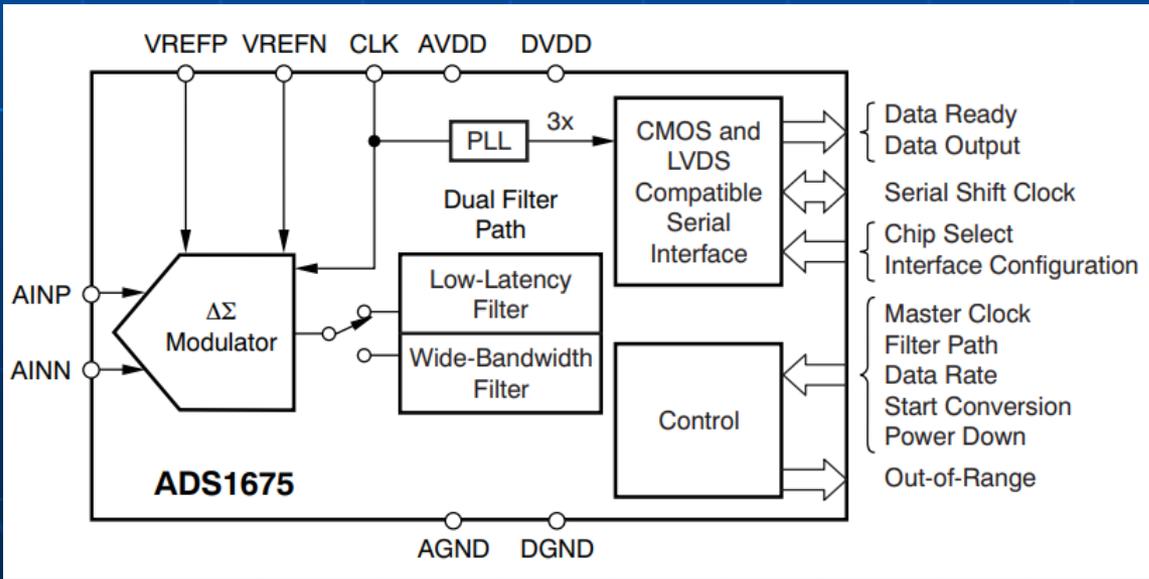


Un conversor Delta-Sigma está compuesto por un modulador y un filtro digital. Se sobremuestra a una tasa muy superior a la requerida por el criterio de Nyquist (por ejemplo varios Msamples/s para BW=20 KHz). El valor medio de la salida de B da la salida ya filtrada. La salida del modulador después se procesa digitalmente a fin de lograr que la salida mejore el ruido que siempre está presente en el proceso de conversión. Eso se obtiene con un filtrado digital y un decimador que baja la tasa de bit de muestreo. A mayor número de muestras para procesar mayor será la resolución del conversor. Si se promedia cada 8 muestras se tiene un equivalente de 3 bits de resolución. Los conversores comerciales tienen mayor complejidad en cuanto al número de orden del modulador.





Por el proceso de filtrado, el sobremuestreo y uso de moduladores de alto orden, se logra disminuir drásticamente el ruido de cuantización dentro del ancho de banda de la señal muestreada. En la figura se muestra a la izquierda el espectro de ruido en una conversión normal y a la derecha lo mismo pero empleando la técnica delta-sigma. Se observa como el ruido tiene una menor relevancia y diferente distribución espectral.

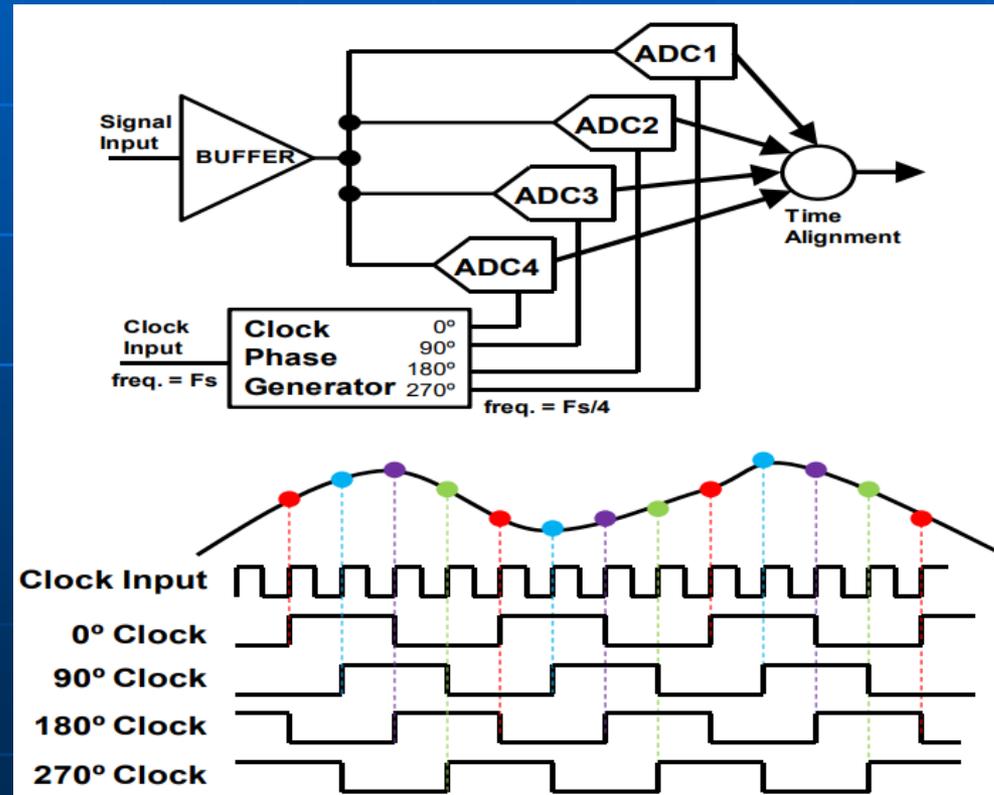


Este conversor tiene una resolución de 24 bit y muestrea a 4Mps máx. La salida es serie, compatible con CMOS y LVDS. Tiene un rango dinámico de 103dB cuando trabaja a 4Mps. Se puede llegar a adquirir señales de algunos cientos de KHz de Ancho de Banda (BW).

Este esquema permite independientemente de la tecnología del ADC aumentar la velocidad de muestreo al dividir el tiempo en varios procesos de conversión idénticos pero defasados en tiempo.

En el ejemplo se puede cuadruplicar la velocidad ya que cada conversor trabajará un cuarto del ritmo marcado por la señal de reloj.

Esto requiere una buena adaptación entre los conversores (apareamiento de las funciones de transferencia) y además las salidas digitales tienen que ser realineadas en tiempo.





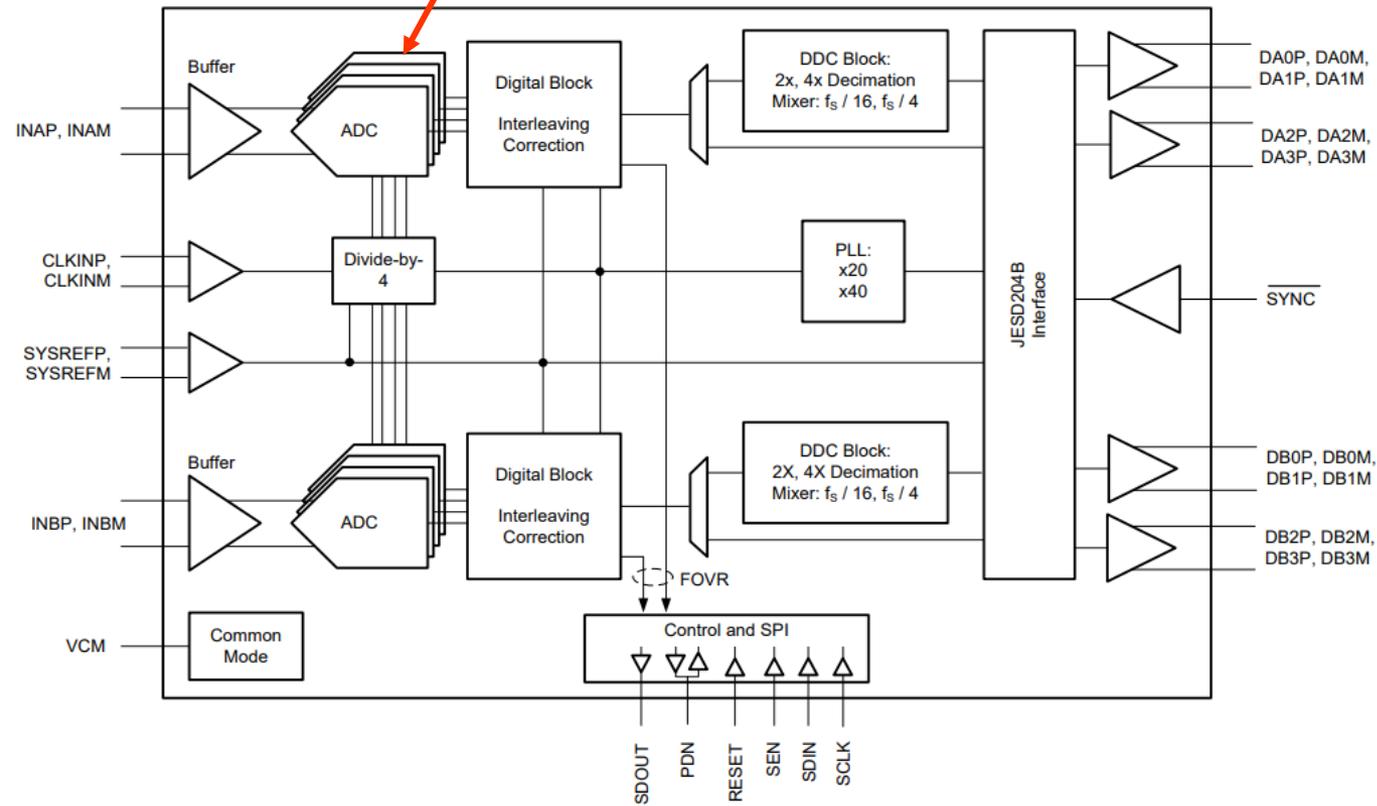
16-bit resolution, dual-channel, 1-GSPS ADC

ADS54J60

SBAS706D – APRIL 2015 – REVISED APRIL 2019

ADS54J60 Dual-Channel, 16-Bit, 1.0-GSPS Analog-to-Digital Converter

The ADS54J60 is a low-power, wide-bandwidth, 16-bit, 1.0-GSPS, dual-channel, analog-to-digital converter (ADC). The ADS54J60 employs **four interleaving ADCs** for each channel to achieve a noise floor of -159 dBFS/Hz. The ADS54J60 uses its proprietary interleaving and dither algorithms to achieve a clean spectrum with a high spurious-free dynamic range (SFDR). The device also offers various programmable decimation filtering options for systems requiring higher signal-to-noise ratio (SNR) and SFDR over a wide range of frequencies.



Este conversor es de doble canal y puede manejar señales con una tasa de muestreo de hasta 1Gigamuestra por segundo por cada canal.

Esto se consigue gracias a la adquisición de 4 ADC por canal que se reparten el tiempo de muestreo, logrando multiplicar x 4 la velocidad de cada uno de ellos por separado.

La salida digital es serie. El chip puede ser controlado por un uP a través de una interface tipo SPI.

Bibliografía:

Tutorials y Notas de Aplicación (Websites):

<https://www.sciencedirect.com/topics/engineering/dual-slope>

<https://www.microchip.com/design-centers/data-converters/analog-to-digital-converter/dual-slope-analog-to-digital-converters>

<https://www.maximintegrated.com/en/design/technical-documents/tutorials/7/748.html>

<https://www.analog.com/media/en/technical-documentation/technical-articles/ADI-data-conversion.pdf>

<https://training.ti.com/sites/default/files/docs/TIPL%204706%20ADC-DAC%20ARCHITECTURES.pdf>

ABCs of ADCs - June 2006. Nicholas Gray, National Semiconductors.

<https://www.analog.com/media/en/technical-documentation/technical-articles/ADI-data-conversion.pdf>

Libros:

- "Data Conversion Handbook". Walt Kester. Analog Devices, 2005.
- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECSA.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Circuitos Microelectrónicos". Sedra, Smith. 5ta Edición. McGraw-Hill. 2006.
- Websites: IBM, INTEL, AMD.